

## 明 細 書

## 半導体装置及びその製造方法

## 技術分野

- [0001] 本発明は優れた動作特性及び信頼性を有する電界効果型トランジスタを備えた半導体装置及びその製造方法に関する。

## 背景技術

- [0002] 従来、半導体層からなる突起を有し、突起側面に主たるチャネル領域を形成するフィン型のMIS型電界効果型トランジスタ(以下、「MISFET」という)が開発されてきた。フィン型のMISFETは、微細化に有利であることに加えて、カットオフ特性やキャリア移動度の向上、短チャネル効果やパンチスルーの低減といった種々の特性改善に有利であることが知られている。
- [0003] 図1は単独の直方体状半導体層を有するシングル構造のMISFETを備えた半導体装置を表したものである。図1(a)はこの半導体装置の上面図、図1(b)は図1(a)のA-A'方向の断面図である。図1に示す形態ではシリコン基板5、埋め込み酸化膜4上に直方体状の半導体層38が形成され、この直方体状の半導体層38上にゲート絶縁膜7が設けられている。また、この半導体層38及びゲート絶縁膜7を跨ぐようにゲート電極6が設けられている。基板上のゲート電極22にはコンタクトホール13が設けられている。コンタクトホール13にはプラグが埋め込まれ、上部配線14と接続されている。この直方体状の半導体層38において、ゲート電極6の両側にソース/ドレイン領域が形成され、ゲート絶縁膜7下の部分(直方体状の半導体層38の上面及び側面)にチャネル領域が形成される。チャネル幅は直方体状半導体層38の高さHの2倍とその幅aとの合計に相当し、ゲート長はゲート電極6の幅dに相当する。
- [0004] 一方、特開2002-118255号公報には複数の直方体状半導体層を有するマルチ構造のMISFETが開示されている。図2(a)はこの半導体装置の上面図、図2(b)は図2(a)のA-A'方向の断面図である(図2では直方体状の半導体層が三つの場合を示す。)。この半導体装置では真ん中の半導体層29、一端の半導体層28及び半導体層28と反対側の半導体層26が平行に配列され、これらの半導体層の中央部を跨

いでゲート電極6が設けられている。また、一端の半導体層28には、ソース/ドレイン領域にコンタクトが形成されないか、形成されたとしてもチャネル領域に電流を流すトランジスタとして用いられない(図2は、半導体層28にソース/ドレイン領域とのコンタクトが設けられていない例を示す)。

- [0005] マルチ構造のフィン型のMISFETは従来、以下の方法によって製造されていた。図3及び4にこの製造方法の一例を示す。図3及び4は半導体層の幅方向(図2のA-A'方向断面に相当する)での断面図である。まず、貼り合わせ法又はSIMOX法によってシリコンウェハ基板5、 $\text{SiO}_2$ 酸化膜4及び単結晶シリコン膜2からなるSOI基板を用意する。次に、SOI基板の表面上に熱酸化法によって $\text{SiO}_2$ 膜17を形成した後、不純物を単結晶シリコン膜2にイオン注入する(図3(a))。その後、エッチングによって $\text{SiO}_2$ 膜17を除去する(図3(b))。続いて、単結晶シリコン膜2の全面にフォトリソグレイス9を塗布し、フォトリソグレイス9を用いて、所定パターンのレジストマスク9を形成する(図3(c))。次に、このレジストマスク9をエッチングマスクとして、単結晶シリコン膜2を異方性ドライエッチングした後、レジストマスク9を除去し、 $\text{SiO}_2$ 膜4上に所定高さの略直方体状の半導体層38を形成する(図3(d))。
- [0006] 次に、熱酸化法やラジカル酸化法によって単結晶シリコンの略直方体状の半導体層38の表面に薄いゲート絶縁膜7を形成する。更に、この $\text{SiO}_2$ 膜7上にCVD法によってポリシリコン膜19を形成し、不純物拡散で導電性とする。次いで、ポリシリコン膜19上にレジスト膜9を形成し、フォトリソグレイス9を用いてレジスト膜9を所定パターンに形成する(図4(a))。このレジスト膜9をマスクに用いてポリシリコン膜19に選択的エッチングを施し、ゲート電極6を形成する(図4(b))。
- [0007] 次に、エクステンションイオン注入を行った後、CVD法によりシリコン酸化膜等を堆積する。更に、堆積された絶縁物を異方性エッチングによってゲート電極6の側壁に残す(図示していない)。これにより、略直方体状の半導体層38の側面及びゲート電極6の側壁上にそれぞれ絶縁膜が形成される。
- [0008] 次に、このゲート電極6等をマスクとして不純物を略直方体状の半導体層38にドーブし、ソース領域及びドレイン領域を形成する。
- [0009] 次に、上記構造上にCVD法を用いて $\text{SiO}_2$ などの層間絶縁膜16を形成した後、C

MP法を用いて層間絶縁膜16を平坦化する。この後、フォトリソグラフィとエッチングによってコンタクトホール13を形成する。コンタクトホール13はソース／ドレイン領域及びゲート電極6上に形成する。次に、タンガステン膜、アルミニウム膜、TiN／Ti膜やそれらの積層膜をコンタクトホール13内に形成する。これによって、コンタクトプラグがコンタクトホール13内に形成される(図4(c))。この後、コンタクトプラグに電氣的に接触する配線層14を形成する。配線層14はアルミニウムを主成分とした導電物から構成される。この後、これらの構造上にパッシベーション膜(図示していない)を形成する(図4(d))。

- [0010] また、特開2003-229575号公報にはあらかじめ基板全面に縞状パターンの凸状半導体領域を形成した後、必要な部分だけ残して残りの凸状半導体領域を除去することによって両端の半導体領域に対する近接効果の影響を防止し、エッチングの均一性を向上させた製造方法が開示されている。

#### 発明の開示

- [0011] しかしながら、従来のフィン型のMISFETの製造方法では、複数の半導体層形成時に両端の半導体層の形状、不純物濃度が他の半導体層と異なり、所望のトランジスタ特性を得られない場合があった。例えば、レジストマスクを用いて半導体層の形成を行う場合には、均一なエッチングを行えない場合があった。以下にその説明をする。
- [0012] 図5(a)は現像工程後にリンス液1によって洗浄した後の状態を表した図である(本例ではソース／ドレイン領域が共通化されていないマルチ構造のMISFETの製造工程を表している。)。図5(b)は図5(a)のA-A'方向の断面図である。この洗浄を行った後、レジストの間隙が小さいため、リンス液1がこの間隙に残留する。図5(c)はこの残留したリンス液1のレジストへの影響を表した図である。図5(d)は図5(c)のA-A'方向の断面図である。リンス液としては主に水が使用される。両端のレジスト15は一方の面しかリンス液1に接していないため、両端のレジスト15のうちリンス液1に接している面側は、リンス液の表面張力によって引っ張られ対向するレジスト側に変形してしまう(レジスト倒れ)。このため、後の工程でエッチングを行う際には、この両端のレジスト15に対応する両端の半導体層のエッチングを均一に行えない場合があった。

- [0013] また、従来のフィン型のMISFETの製造方法では、エッチング時に両端の半導体層の幅が細くなってしまう場合があった。図6(a)はレジストパターンを形成した後、エッチングを行い半導体層を形成した状態を表した図である。図6(b)は図6(a)のA-A'方向の断面図である。また、図6(c)はソース/ドレイン領域が共通化されたMISFETについて同様にエッチングを行った後の半導体層を表している。図6では両端の半導体層18の幅(図6(a)がその他の半導体層の幅a'よりも細くなっている。これはマイクロローディング効果の非対称性によるものである。
- [0014] このようにマイクロローディング効果が生じるのは、エッチング時に基板に入射するイオンが方向性を持っており、基板に対して垂直に入射するイオンだけでなく所定の角度を持って入射するイオンが存在するためである。このため、中央部の半導体層は、両端の半導体層に比べてエッチング速度が遅くなり、両端の半導体層は中央部の半導体層よりもより多くエッチングされる。このマイクロローディング効果はアスペクト比(開口部パターン幅に対するエッチング深さの比)が高いときにより顕著となる。
- [0015] このように従来の半導体装置の製造方法では、レジスト倒れやマイクロローディング効果に起因して均一なエッチングを行なえず、素子動作特性が不十分な場合があった。
- [0016] また、従来の製造方法ではゲート電極の加工性に劣る場合があった。図7(a)は、ゲート電極形成のため、複数の配列した半導体層38上にゲート絶縁膜7及びポリシリコン膜19を堆積しマスクとしてレジスト9を積層した後、レジスト9上に露光を行ったときの状態を表す上面図である。図7(b)は図7(a)のA-A'方向の断面図である。両端の半導体層18と基板との間に設けられたレジスト9には段差部20が生じている。
- [0017] このレジスト9の露光時には、露光は半導体領域38の上面上のレジスト33にフォーカスが合うよう調節されている(図7(b)の35)。これに対して段差部20ではレジスト9の高さが徐々に減少しているため、露光がレジストに到達する際には広がってしまう(図7(b)の34:フォーカスオフセット)。この結果、段差部20のレジストは上面上のレジスト33に比べてより広い面積が露光され、段差部20のレジスト9の幅が細くなってしまう(サイズ異常の発生)。このレジスト9をマスクに用いてエッチングを行うと、該レジストのサイズ異常を反映して段差部20のポリシリコン膜19でもサイズ異常が発生し、

半導体層38上に設けられたゲート電極6のゲート長d1よりも段差部20上のゲート電極6のゲート長d2の方が細くなってしまう。

[0018] 更に、ゲート電極形成のためのエッチング時には段差部のゲート電極24には、上記フォーカスオフセットによる問題に加えてマイクロローディング効果によってゲート長異常が発生する場合があった。以下に説明する。図8(a)はゲート電極形成の為にエッチングを行った状態を表す図である。図8(b)は図8(a)のA-A'方向の断面図である。エッチング時に前述したマイクロローディング効果によって、半導体層18及び38間のポリシリコン膜36のエッチング速度は、段差部20のポリシリコン膜24のエッチング速度よりも遅くなってしまう。従って、段差部のポリシリコン膜24は、ポリシリコン膜36よりもより多くエッチングされる。このため、段差部20のゲート電極のゲート長d2は、半導体層18及び38上のゲート電極のゲート長d1よりも細くなってしまう(ゲート長異常の発生)。このように従来の製造方法ではゲート電極の加工性において問題が生じる場合があった。この場合、トランジスタ特性が安定化した半導体装置を製造することが困難であった。

[0019] また、図30は従来の半導体装置の製造方法におけるイオン注入工程を表した図である。図30(a)は上面図、図30(b)は図30(a)のB-B'方向の断面図である。図30に示されるように、ハローイオン注入やエクステンションイオン注入などは斜め方向から行う。この際、両側の半導体層18では片側側面に対向する位置に半導体層が設けられていないため、このイオン注入時の他の半導体領域からのイオンの跳ね返り量が少なくなる。これに対して、半導体層18で挟まれた半導体層38は両側に半導体層が設けられているため、イオン注入時のイオン跳ね返り量は多くなる。このように、斜め方向から行うイオン注入工程において、半導体層18と半導体層38とではイオン注入量が異なり、均一なトランジスタ特性を得ることが困難であった。

[0020] 一般的に図1(b)で表されるように、ゲート電極とのコンタクトは基板上に設けられたゲート電極22上に設けられていた。このような構成の半導体装置では半導体層38の上面とゲート電極6との間には段差があるため、ソース/ドレイン領域とのコンタクトとゲートコンタクトを同時に形成する場合、ゲート電極とのコンタクトや配線形成の位置合わせには高度な技術が要求される場合があった。

- [0021] 特開2002-118255号公報記載の半導体装置の製造方法では、チャネル領域が形成される半導体層と同程度の高さの一端の半導体層28(図2)を設け、この半導体層上にゲート電極6とのコンタクトが設けられている。この半導体装置の製造方法ではコンタクト、配線工程の安定化を図ることが可能であるが、反対側の半導体層26にはソース/ドレイン領域にコンタクトが形成され、トランジスタとして動作する。しかし、半導体層26については上記レジスト変形およびマイクロローディング効果の非対称性によってエッチングが均一に行われない場合があった。また、イオン注入が均一に行われなかったり、ゲート電極の加工性が劣るという問題があり、この半導体層26を用いて形成されたトランジスタを、半導体層29を用いて形成されたトランジスタと同様の特性をもつトランジスタとすることが困難な場合があった。
- [0022] 特開2003-229575号公報に記載の半導体装置の製造方法では不要な半導体領域を取り除くための工程を新たに設けなければならない、工程が複雑となる場合があった。また、特開2003-229575号公報に記載の半導体装置の製造方法では不要な半導体領域をゲート電極形成前に取り除くため、ゲート電極形成後の工程に関して、フォーカスオフセットの発生やマイクロローディング効果の非対称性を防止することができず、これらを原因とするゲート長異常が発生する場合があった。更に、ハローイオン注入やエクステンションイオン注入の均一性が劣化する場合があった。
- [0023] 本発明は上記課題に鑑みてなされたものであり、複数、設けられた半導体層のうち両端の半導体層で挟まれた半導体層については、チャネル領域に電流を流すトランジスタを備えた半導体装置を製造することによって、このチャネル領域が形成される半導体層のエッチングの均一性を向上させると共にゲート電極の加工性や平坦性、イオン注入の均一性を向上させることを目的とするものである。
- また、素子動作特性及び信頼性に優れたMISFETを備えた半導体装置を得ることを目的とする。
- [0024] 上記課題を解決するため、本発明は以下の構成を有することを特徴とする。すなわち、本発明は第1の半導体領域と、第2の半導体領域とを備えた半導体装置であつて、
- (a) 該第1の半導体領域は、基体から上方に突起した少なくとも1つの半導体層を有

し、該半導体層を跨ぐように絶縁膜を介してゲート電極が設けられ、該半導体層の前記ゲート電極を挟んだ両側にソース／ドレイン領域が設けられて、

該半導体層の少なくとも両側面にチャネル領域が形成される電界効果型トランジスタが構成され、

(b) 前記第2の半導体領域は、基体から上方に突起し、チャネル電流の方向と直交する方向において少なくとも第1の半導体領域を挟んだ両側に形成された半導体層を有し、該半導体層の第1の半導体領域側の側面は、該チャネル電流の方向と平行であることを特徴とする半導体装置に関する。

[0025] また、本発明は基体から上方に突起した少なくとも1つの半導体層を有する第1の半導体領域と、少なくとも前記第1の半導体領域を挟む両側に基体から上方に突起した半導体層を有する第2の半導体領域と、を形成するフィン型半導体層の形成工程と、

前記第1の半導体領域に含まれる半導体層を跨ぐようにゲート電極と、該ゲート電極と半導体層の少なくとも両側面の間に絶縁膜と、該半導体層のゲート電極を挟んだ両側にソース／ドレイン領域と、を形成するトランジスタの形成工程と、を有することを特徴とする半導体装置の製造方法に関する。

[0026] ここで、第1の半導体領域とはチャネル電流が流れ、基体上に複数、設けられた半導体層のうちチャネル電流の方向と直交する方向において、両端以外に設けられた半導体層を表す。また、第2の半導体領域とはチャネル電流が流れず、基体上に複数、設けられた半導体層のうちチャネル電流の方向と直交する方向において、両端と場合によっては両端以外に第1の半導体領域の間に設けられた半導体層を表す。

[0027] 本発明では、複数、設けられた半導体層のうち、両端にチャネル電流が流れない半導体層(第2の半導体領域)を設けることによって、半導体層形成時に両端の半導体層で挟まれた半導体層の変形を防止し、高信頼性で素子特性に優れた半導体装置を製造することができる。例えば、半導体層形成をレジストマスクを用いたエッチングにより行う場合、両端のレジストマスクで挟まれたレジストマスクの倒れを効果的に防止するとともに、両端の半導体層で挟まれた半導体層のエッチング時のマイクロローディング効果の対称性を維持することができる。その結果、半導体層のエッチング

が均一に行われ、素子特性に優れた半導体装置を得ることができる。

- [0028] 本発明では、ゲート電極の加工性及び平坦性を向上させ、動作安定性に優れたトランジスタを備えた半導体装置を製造することができる。例えば、ゲート電極の形成を、レジストマスクを用いたエッチングによって行う場合には、第1の半導体領域に含まれる半導体層から両端の半導体層(第2の半導体領域)まで延在させてレジストマスクを形成することによって、レジストマスクの露光時に段差部に起因するフォーカスオフセットを防止すると共にマイクロローディング効果の対称性を維持することができる。

- [0029] 本発明では、両端の半導体層で囲まれた半導体層については斜めイオン注入の環境を同一とできるため、斜めイオン注入の均一性を向上させ、動作安定性に優れたトランジスタを備えた半導体装置を製造することができる。

本発明では、第1の半導体領域に含まれる複数の半導体層にそれぞれ独立のソース/ドレイン領域及びゲート電極を設けることによって、集積密度が高い半導体装置を得ることができる。

- [0030] 本発明では、第1の半導体領域に含まれる複数の半導体層のうち、少なくとも2つの半導体層を跨ぐようにゲート電極を形成することによって、素子安定性及び設計自由度に優れた半導体装置とすることができる。

本発明では、基体上に更に、チャネル電流の方向と直交する方向に延在して、第1の半導体領域に含まれる複数の半導体層のうち、少なくとも2つの半導体層を挟んでソース/ドレイン領域を電氣的に共通接続する連結半導体層を有することによって、ソース/ドレイン領域上へのコンタクトホール位置合わせが容易となり、工程の簡素化を図ることができる。また、このようにソース/ドレイン領域の共通化を図ることによって、寄生抵抗の低減を図り、より少ない面積で大きなチャネル幅を実現でき、高集積化を図ることができる。

- [0031] 本発明では、第1の半導体領域に含まれる複数の半導体層の両側とその間に、第2の半導体領域に含まれる半導体層を設けることによって、ゲート電極同士が接触するのを防ぎ、動作特性に優れた半導体装置とすることができる。また、ゲート電極の平坦性を向上させることもできる。

本発明では、第1の半導体領域及び第2の半導体領域に含まれる半導体層の間隔を等しくすることによって、素子特性に優れた高信頼性の半導体装置とすることができる。

[0032] 本発明では、ゲート電極が、第1の半導体領域に含まれる半導体層上から、第2の半導体領域に含まれる半導体層上まで延在して設け、第2の半導体領域上にゲート電極とのコンタクトを形成することによって、安定したコンタクトが可能であり、素子特性に優れた半導体装置とすることができる。また、ゲート電極の平坦性を向上させることができる。

[0033] 本発明では、第1の半導体領域に含まれる半導体層を、略直方体状とすることによって、動作特性及び素子安定性に優れた半導体装置を得ることができる。

本発明では、第2の半導体領域に含まれる半導体層の長さを、ゲート長以上とすることによって、マイクロローディング効果の対称性が保たれ、所望形状の加工が可能となり、動作安定性及び素子特性に優れた半導体装置とすることができる。

[0034] 本発明では、第1の半導体領域に含まれる半導体層のソース／ドレイン領域の幅を太くすることによって、コンタクトの位置合わせが容易であり、動作安定性に優れた半導体装置とすることができる。また、寄生抵抗の低減を図ることもできる。

#### 図面の簡単な説明

[0035] [図1]従来の半導体装置を表す模式図である。

[図2]従来の半導体装置を表す模式図である。

[図3]従来の半導体装置の製造工程を表す図である。

[図4]従来の半導体装置の製造工程を表す図である。

[図5]従来の半導体装置の製造工程を表す図である。

[図6]従来の半導体装置の製造工程を表す図である。

[図7]従来の半導体装置の製造工程を表す図である。

[図8]従来の半導体装置の製造工程を表す図である。

[図9]本発明の半導体装置の一例を表す図である。

[図10]本発明の半導体装置の一例を表す図である。

[図11]本発明の半導体装置の一例を表す図である。

[図12]本発明の半導体装置の一例を表す図である。

[図13]本発明の半導体装置の一例を表す図である。

[図14]本発明の半導体装置の一例を表す図である。

[図15]本発明の半導体装置の一例を表す図である。

[図16]本発明の半導体装置の一例を表す図である。

[図17]本発明の半導体装置の一例を表す図である。

[図18]本発明の半導体装置の一例を表す図である。

[図19]本発明の半導体装置の一例を表す図である。

[図20]本発明の半導体装置の一例を表す図である。

[図21]本発明の半導体装置の一例を表す図である。

[図22]本発明の半導体装置の一例を表す図である。

[図23]本発明の半導体装置の製造工程の一例を表す図である。

[図24]本発明の半導体装置の製造工程の一例を表す図である。

[図25]本発明の半導体装置の製造工程の一例を表す図である。

[図26]本発明の半導体装置の製造工程の一例を表す図である。

[図27]本発明の半導体装置の製造工程の一例を表す図である。

[図28]本発明の半導体装置の製造工程の一例を表す図である。

[図29]本発明の半導体装置の製造工程の一例を表す図である。

[図30]従来の半導体装置の製造工程の一例を表す図である。

[図31]本発明の半導体装置の一例を表す図である。

発明を実施するための最良の形態

[0036] (半導体装置)

本発明の半導体装置は、第1の半導体領域と、チャネル電流の方向と直交する方向において、第1の半導体領域の両側に第2の半導体領域を有し、第1の半導体領域に含まれる半導体層の少なくとも側面にチャネル領域が形成されることを特徴とする。

[0037] 図9は本発明の半導体装置の一例を示したものである。図9(a)は第1の半導体領域として複数の半導体層8を有する半導体装置の上面図である。また、図9(b)は図

9(a)のA-A'方向の断面図、図9(c)は図9(a)のB-B'方向の断面図、図9(d)は図9(a)のC-C'方向の断面図である(図9(a)では層間絶縁膜16及び配線14を図中に示していない。また、図9(a)〜(c)ではゲートサイドウォール44を図中に示していない。)

- [0038] この半導体装置はSOI基板を用いて形成されたものであり、シリコン基板5上に埋め込み絶縁膜4が設けられ、埋め込み絶縁膜4上に突出した第1の半導体領域に含まれる半導体層8及び第2の半導体領域に含まれる半導体層10が形成されている。ここで、半導体層8のソース/ドレイン領域上にはコンタクトが形成されており、チャンネル領域に電流を流すトランジスタとして動作するが、半導体層10にはチャンネル電流が流れない。半導体層10にチャンネル電流を流さない方法としては、半導体層10のソース/ドレイン領域のうち少なくとも一方にコンタクトを形成しない場合や、ソース/ドレイン領域上にコンタクトを形成しても配線を電氣的に接続しない場合、ソース/ドレイン領域に電氣的に接続した配線を接地したり、同電位の電源に接続する場合などが挙げられる。
- [0039] また、複数の半導体層(半導体層8及び10)の配列において、第2の半導体領域は少なくとも1つ以上の半導体層(第1の半導体領域に含まれる半導体層8)を両側から挟むように形成されている。
- [0040] なお、半導体層8の数は少なくとも1つ以上であれば良く、その数は特に限定されるわけではない。また、複数の半導体層8を設ける場合、各半導体層8を流れるチャンネル電流の方向が互いに平行となるように配列することが好ましい。ここで、チャンネル領域は半導体層8の上面及び側面に形成され、チャンネル電流は、図9(a)の46及び図9(d)で表されるように半導体層に形成されたドレイン領域45ーソース領域43間を流れる。ソース/ドレイン領域は、半導体層8のうちゲート電極に覆われていない部分に形成するため、このチャンネル電流の方向は、ゲート電極が延在して設けられた方向に垂直である。また、基板と平行な方向であり、半導体層8及び10の配列方向に垂直である。
- [0041] また、半導体層8は主たるチャンネル領域が形成される側面を有する。ここで側面とは、基体から突起した半導体層8のうち基体と略平行でない部分を表し、側面の形状と

しては例えば、曲面状、湾曲状、基体と垂直な面、テーパ状などを挙げることができる。また、これらの形状が複数種、組み合わせさせた形状であっても良い。側面が湾曲状、テーパ状の場合、湾曲の度合いやテーパの角度は所望の形状とすることができる。半導体層8の両側面は対称であっても非対称であっても良い。

[0042] チャネル電流の方向と直交する方向47において、半導体層8(第1の半導体領域)の両側には、第2の半導体領域が形成されている。第2の半導体領域は基体上に突起した半導体層10からなり、図9では第1の半導体領域の両側にそれぞれ1つずつ半導体層10が設けられている。両側の半導体層10の数は1つ以上であれば良く、その数は特に限定されるわけではない。

[0043] 両側の半導体層10は同一形状である必要はなく、異なる形状を有していても良いが、半導体層10の第1の半導体領域側の側面(第1の半導体領域に対向する側面)48はチャネル電流の方向46(図9(a)では一例として矢印46の向きにチャネル電流が流れる場合を示している。配線の配置によってはチャネル電流の向きが矢印46と逆向きであっても良い)と平行になっている必要がある。側面48が平行になっていることにより、加工性に優れ、所望形状の半導体装置とすることができる。側面48の形状は平行であれば特に限定されるわけではなく、例えば、半導体層8の側面と同様の形状とすることができる。また、半導体層8の形成時に半導体層10が悪影響を及ぼすことがない。なお、第2の半導体領域に含まれる半導体層のうち側面48と反対側の側面の形状は、特に限定されるわけではなくテーパ状、曲面状、基体から垂直な形状であっても良い。なお、半導体層10にはソース/ドレイン領域が形成されていても良いし、されていなくても良い。

[0044] 半導体層8の間の間隔aは等しいことが好ましい。また、第1の半導体領域の両側に設けられた半導体層10のうち、一方の半導体層10とこれに対向する半導体層8の間隔は、他方の半導体層10とこれに対向する半導体層8の間隔に等しいことが好ましい。より好ましくは、全ての半導体層(半導体層8及び10)間の間隔が等しいのが良い。このように半導体層間の間隔が等しいことによって、ソース/ドレイン領域形成のためのイオン注入やエッチングなどの処理を均一に行うことができ、素子特性に優れた高信頼性の半導体装置とすることができる。

- [0045] 図9ではゲート電極6は、一方の半導体層10から他方の半導体層10まで延在して電氣的に共通接続されている。ゲート電極6と各半導体層8との間にはゲート絶縁膜7が形成されている。なお、ゲート電極6は半導体層8の少なくとも1つを跨ぐように形成されていれば良く、その数は限定されるわけではない。
- [0046] 更にゲート電極6は図9のように第1の半導体領域に含まれる半導体層8だけでなく、半導体層8から第2の半導体領域に含まれる半導体層10まで延在して形成されていても良い。この際、ゲート電極6は半導体層10上面の少なくとも一部まで延在して形成されていれば良く、半導体層10の全てを跨ぐように形成されていなくても良い。このように半導体層10の上面までゲート電極6が設けられている場合、第一の半導体領域に含まれる半導体層8のうち、一番端に位置する半導体層8の両側の上方においてゲート電極6が対称性の高い構造となる。すなわち、ゲート電極が半導体層8の左右両側の上方において、ともに隣接する半導体層8または10まで延在する構造となる。このため、例えば、レジストマスクを用いたエッチングによってゲート電極を形成する場合、半導体層8上方のゲート電極ではフォーカスオフセットやマイクロローディング効果の非対称性がより低減される。また、斜めイオン注入に関する非対称性も低減され、素子特性に優れた半導体装置とすることができる。
- [0047] また、図9(d)に示されるように半導体層8のゲート電極6が設けられていない部分には、それぞれソース領域43およびドレイン領域45が設けられている。ゲート電極6直下の半導体層8の上面及び側面にはチャネル領域が形成され、この半導体装置はいわゆるトリプルゲート型のフィン型のトランジスタとなる。ゲート電極6に電圧が印加されるとソース領域43-ドレイン領域45間をチャネル電流が流れる。
- [0048] 図9(b)及び(c)に示されるように各半導体層8のソース/ドレイン領域は共通のコンタクトを通して上方に設けられた配線14と接続されている。また、ゲート電極とのコンタクトは一方の半導体層10の上方で行われている。ゲート電極とのコンタクトの位置は特に限定されるわけではないが、好ましくは半導体層10の上方に設けるのが良い。このように半導体層10の上方でのコンタクトは、位置合わせが容易であり、安定したコンタクトを取ることが可能なため素子特性に優れた半導体装置とすることができる。また、コンタクト以外の部分には層間絶縁膜16が設けられている。

- [0049] 図10は本発明の半導体装置の他の一例を示したものである。図10の半導体装置では、第1及び第2の半導体領域に含まれる半導体層8及び10がシリコン基板2から直接、突出して形成されている点に特徴がある。図10(a)はこの半導体装置の上面図、図10(b)は図10(a)のA-A'方向の断面図、図10(c)は図10(a)のB-B'方向の断面図である。また、突起した半導体層8及び10以外の部分には分離絶縁膜42が形成されている。
- [0050] 図11は図9の半導体装置の変形例を示したものである。図11(a)はこの半導体装置の上面図、図11(b)は図11(a)のA-A'方向の断面図、図11(c)は図11(a)のB-B'方向の断面図である。図11の半導体装置では第1の半導体領域に含まれる半導体層8の上面上に形成されるゲート絶縁膜7が、図9の半導体装置よりも厚くなっている。このため、この半導体装置は半導体層8の上面にはチャネル領域が形成されず、側面にのみチャネル領域が形成される、いわゆるダブルゲート型のトランジスタとなる。また、ゲート電極は一方の半導体層10から他方の半導体層10の上面の一部まで延在して設けられている。
- [0051] 図12は、図9の半導体装置の変形例を示したものである。図12(a)はこの半導体装置の上面図、図12(b)は図12(a)のA-A'方向の断面図、図12(c)は図12(a)のB-B'方向の断面図である。この半導体装置では、第1の半導体領域に含まれる半導体層8が四つ配列されており、そのうちの二つの半導体層8(左側の二つ)上にはそれぞれ独立したゲート電極6が設けられている。また、残りの二つの半導体層8(右側の二つ)については、この二つの半導体層8を跨ぐように電氣的に共通接続されたゲート電極6が設けられている。なお、第2の半導体領域に含まれる半導体層10上にはゲート電極6は形成されていない。
- [0052] 各半導体層8のソース領域とドレイン領域はそれぞれ独立したコンタクトによって個別の配線14に接続されている。なお、各ゲート電極6とのコンタクトは、半導体層8の上方で設けられている。右側の二つの半導体層8を跨ぐように共通化されたゲート電極6については、最も右側の半導体層8上方でゲート電極6とのコンタクトが設けられている。これらのゲート電極6はそれぞれ個別の配線に接続されていても良いし、共通の配線に接続されていても良い。

- [0053] このように本発明の半導体装置では、半導体装置内に各半導体層8上にそれぞれ独立して設けたゲート電極と、複数の半導体層8を跨ぐように共通化されたゲート電極とを混在させて設けることができる。このため、素子安定性及び装置の設計自由度に優れた半導体装置とすることができる。
- [0054] 図13は、図12の半導体装置の変形例を示したものである。図13(a)は半導体装置の上面図、図13(b)は図13(a)のA-A'方向の断面図、図13(c)は図13(a)のB-B'方向の断面図である。図13の半導体装置では図12の半導体装置と異なり、ゲート電極6が第2の半導体領域に含まれる一方の半導体層10から他方の半導体層10まで延在して設けられており、ゲート電極が共通化されている。このように、回路の構成上必要とされる場合には、ゲート電極を共通化することができる。
- [0055] また、図13(a)に示すように、各半導体層8のうち左側の二つにおいては、図示されたソース/ドレイン領域のうち、上側に図示されたソース領域又はドレイン領域が、二つの半導体層8で共通のコンタクトが形成されているが、それ以外のソース/ドレイン領域においてはそれぞれ独立にコンタクトが形成されている。このように複数のソース/ドレイン領域とのコンタクトのうち、一部は共通のコンタクトとし、残りは独立のコンタクトであるようにしても良い。また、図13(c)に示すように、各半導体層8のうち下側のソース/ドレイン領域はそれぞれ独立のコンタクトが設けられているが、左側二つについては共通の配線に接続されている。このように独立なコンタクトどうしを適宜配線によって接続しても良い。なお、複数の半導体層8が配列されている場合、一部の半導体層8に対してはそれぞれ個別のゲート電極6が設けられ、残りの半導体層8に対しては共通したゲート電極が設けられていても良い。
- [0056] 図14は、本発明の半導体装置の他の一例を示したものである。この半導体装置は第2の半導体領域に含まれる半導体層10が、第1の半導体領域の両側だけでなく、第1の半導体領域に含まれる半導体層8の間にも設けられている点に特徴がある。図14(a)は、この半導体装置の上面図、図14(b)は図14(a)のA-A'方向の断面図、図14(c)は図14(a)のB-B'方向の断面図である。図14では複数の配列された半導体層8の両側と真ん中にそれぞれ1つの半導体層10が設けられている。なお、半導体層8の間に設ける半導体層10の数は特に限定されるわけではなく二つ以上で

あっても良い。また、半導体層8間の位置のうち複数の異なる位置に半導体層10を設けても良いし、同じ位置に二つ以上の半導体層10を設けても良い。例えば、チャネル電流の方向と直交する方向に半導体層8と半導体層10がそれぞれ交互に配列されるように設けても良い。ただし、半導体層8の間に設ける半導体層10の側面は、半導体層8のチャネル電流の方向と平行になっている必要がある。半導体層8の間に設ける半導体層10の形状は特に限定されるわけではないが、好ましくは半導体層8と同一形状かつ平行であるのが良い。

[0057] 図14では、ゲート電極6は二つ設けられており、各ゲート電極6は両側の半導体層10のうち一方の半導体層10から二つの半導体層8を跨ぐように設けられている。本半導体装置では、ゲート電極6が真ん中の半導体層10まで延在して設けられていないため、複数のゲート電極を設ける場合に、ゲート電極同士を電氣的に接触するのを防ぎ、動作特性に優れた半導体装置とすることができる。なお、ゲート電極は真ん中の半導体層10まで延在して設けても良い。この場合、半導体層8から見たゲート電極の構造対称性を高めることができる。

[0058] ゲート電極とのコンタクトはそれぞれ両側の半導体層10の上方で設けられているが、コンタクトは真ん中の半導体層10の上方に設けても良い。

図15は図9の半導体装置の変形例を示したものである。図15(a)は半導体装置の上面図、図15(b)は図15(a)のA-A'方向の断面図、図15(c)は図15(a)のB-B'方向の断面図である。この半導体装置は、第1の半導体領域に含まれる各半導体層8について、ソース/ドレイン領域の幅(チャネル電流の方向と直交する方向の長さ) $a$ がゲート電極に覆われた半導体層の部分の幅 $a'$ よりも大きい点に特徴がある。このようにソース/ドレイン領域の幅が太いことによってコンタクトの位置合わせが容易となり、動作安定性に優れた半導体装置とすることができる。また、寄生抵抗の低減を図ることもできる。

[0059] 半導体層8のうちゲート電極に覆われた部分と、ソース/ドレイン領域の部分の形状は特に限定されるわけではない。例えば、側面が曲面状のものやテーパ形状のもの等を挙げることができる。好ましくは、ゲート電極に覆われた部分と、ソース/ドレイン領域の部分の形状は略直方体状であることが好ましい。略直方体状であることに

よって、プロセスの対称性が増し、安定した素子特性をもつ半導体装置とすることができ。また、半導体層8のソース領域とドレイン領域の形状は対称である必要はなく、互いに異なる形状であっても良い。半導体層8のソース領域、およびドレイン領域の部分の幅は、ゲート電極に覆われた部分の幅の1.1〜10倍であることが好ましく、2〜5倍であることがより好ましい。

[0060] 図16は本発明の半導体装置の他の一例を示したものである。図16(a)はこの半導体装置の上面図、図16(b)は図16(a)のA-A'方向の断面図、図16(c)は図16(a)のB-B'方向の断面図である。この半導体装置は、第1の半導体領域に含まれる半導体層8が4つ存在し、その中の2つの半導体層8がチャネル電流の方向と直交する方向に延在した半導体層32(図16(a)の点線で囲まれた部分)によって連結されており、二つの半導体層8のソース/ドレイン領域が共通化されている点に特徴がある。この二つの半導体層8は、マルチフィン型のトランジスタを構成する。このような半導体装置は、コンタクトの位置合わせが容易であり、寄生抵抗の低減を図ることができる。また、より少ない面積で大きなチャネル幅を実現でき、高集積化を図ることができる。

[0061] 図16の半導体装置では、ソース/ドレイン領域とのコンタクトは、ソース/ドレイン領域の一部上に設けられているが、コンタクトの位置は図16の位置に限定されるわけではなく、ソース/ドレイン領域上の何れか一部の上であれば良い。

[0062] また、図16ではゲート電極6は一方の第2の半導体領域に含まれる半導体層10から他方の半導体層10まで全ての半導体層を跨ぐように延在して形成されているが、両端の半導体層10上まで延在して形成されていなくても良い。更に、複数の半導体層8が配列された場合、一部の半導体層8についてはソース領域、およびドレイン領域がそれぞれ独立して設けられ、残りの半導体層8については図16のようにソース領域、およびドレイン領域が共通化されていても良い。

[0063] 図17は図16の半導体装置の変形例を示したものである。図17(a)は半導体装置の上面図、図17(b)は図17(a)のA-A'方向の断面図、図17(c)は図17(a)のB-B'方向の断面図である。図17の半導体装置では、第1の半導体領域のソース/ドレイン領域が、チャネル電流の方向に関して対称となっていない点に特徴がある。例え

ば、図17では、一方の領域は四つの半導体層8が共通化されて形成されており、他方の領域は二つの半導体層8が共通化されている。ソース/ドレイン領域が共通化される半導体層8の数は2つ以上であれば良く、その数は特に限定されるわけではない。

- [0064] 図18は図9の半導体装置の変形例を示したものである。図18はこの半導体装置の上面図である。図18の半導体装置では第1の半導体領域に含まれる半導体層8の数が1つであり、その両側に第2の半導体領域が設けられている。この半導体装置はシングルフィン型のトランジスタを構成する。例えば、同一基板上にこのようなトランジスタと複数の半導体層8を持つトランジスタを設ける場合、これらの半導体装置の半導体層8のマイクロローディング効果等のエッチング状態を同じにでき、寸法精度を一定にすることができる。また、斜めイオン注入の均一性を高めることができる。
- [0065] 図19は本発明の半導体装置の他の一例を示したものである。図19はこの半導体装置の上面図である。図19の半導体装置では、第2の半導体領域に含まれる半導体層10のチャネル電流の方向の長さAは、第1の半導体領域に含まれる半導体層8の長さよりは短い、ゲート長Bよりも長くなっている。このように半導体層10の長さが少なくともゲート長以上であることによって、半導体層形成時に半導体層8のチャネル領域となる部分のエッチング時におけるマイクロローディング効果の対称性が保たれ、所望形状に加工することができる。このため、動作安定性及び素子特性に優れた半導体装置とすることができる。
- [0066] 図20は図19の半導体装置の変形例を示したものである。図20はこの半導体装置の上面図である。図20の半導体装置では、半導体層10のチャネル電流の方向の長さAが半導体層8の長さBよりも長い点に特徴がある。このように半導体層10の長さが半導体層8の長さ以上であることによって、半導体層形成時に半導体層8の側面を均一に所望形状に加工することができる。このため、動作安定性及び素子特性に優れた半導体装置とすることができる。
- [0067] 図21は本発明の半導体装置の他の一例を示したものである。図21はこの半導体装置の上面図である。この半導体装置は、半導体層10のチャネル電流の方向と直交する方向の幅Aが半導体層8の幅Bよりも太い点に特徴がある。このように半導体

層10の幅Aが半導体層8の幅Bよりも太いことによって、半導体層10の上方でのコンタクトの位置合わせが容易となり、寄生抵抗を小さくすることが出来る。また、半導体層10の機械的強度が大きくなるため、半導体層形成時にレジストマスクを用いた場合に、より効果的にレジスト倒れを防止することができる。また、半導体層8を所望形状に加工することと高集積化の観点から、半導体装置の最適化を図ることができる。

[0068] 図31は、本発明の半導体装置が複数、基板上に設けられた一例を表すものである(上面図)。図31では、チャンネル電流の方向に三つの半導体装置50〜52が設けられている。半導体装置50は図11の半導体装置に、半導体装置51は図14の半導体装置に相当する。これらの半導体装置はn型のMISFETであっても、p型のMISFETであっても良い。また、これらのMISFETが混在するものであっても良い。

[0069] 各半導体装置の第1の半導体領域に含まれる各半導体層8は、チャンネル電流と直交する方向の中心53が一致するように互いに等間隔に配列されている。このように中心53が一致するように半導体層8を設けることによって、素子特性に優れ、集積密度の高い半導体装置とすることが可能となる。また、第2の半導体領域に含まれる半導体層54は全ての半導体層8を両側から挟むように、三つの半導体装置で共通化して設けられている。このように両側の半導体層54を共通化して設けることにより、半導体層の形成工程が容易となり、素子密度が高く設計精度に優れた半導体装置とすることができる。なお、各半導体装置間で、半導体層8は中心53が一致するように設けられていなくても良く、また、半導体層8の間隔が異なっても良い。半導体層54は、それぞれの半導体装置で個別に設けられていても良いが、チャンネル電流と直交する方向の中心が互いに一致するように配列されることが好ましい。

[0070] 半導体装置51及び52は更に、半導体層54の間に第2の半導体領域に含まれる半導体層10が設けられている(半導体装置51では半導体層8の間に1つの半導体層10が、半導体装置52では半導体層54と半導体層8の間に2つの半導体層10が設けられている)。このように半導体層8の設けられていない部分に半導体層10を設けることによって、半導体層形成時に各半導体層8を均一に形成することができる。なお、半導体層54の間に設ける半導体層10は、他の半導体装置に含まれる半導体層8又は10と中心53が一致するように設けることが好ましい。

[0071] 図22は本発明の半導体装置の他の一例を示したものである。図22の半導体装置では、第1の半導体領域の両側に設けられた半導体層10が、一方の半導体層10から他方の半導体層10まで半導体層8を囲むように一对の半導体層49(点線で囲まれた部分)が更に形成されている。この半導体装置では半導体層10及び49が第2の半導体領域を構成する。また、この半導体装置では、半導体層8が半導体層10及び49によって囲まれているため、半導体層形成時に半導体層8の全ての部分のプロセスの対称性を保つことができる。このため、素子安定性及び高駆動特性を有する半導体装置とすることができる。また、ゲート電極6はチャネル電流と直交する方向に、一方の半導体層10から他方の半導体層10まで延在して設けられている。ゲート電極6とのコンタクトは半導体層10の一部の上方に設けられている。

[0072] (半導体装置の製造方法)

以下に本発明の製造方法を説明する。

図23は本発明の製造方法の一例として、第1の半導体領域に含まれる複数の半導体層8のソース/ドレイン領域がそれぞれ共通のコンタクトを通して配線14に接続された半導体装置の製造方法を表したものである。

[0073] まず、基体上に突起した第1の半導体領域と、第1の半導体領域の両側に、基体上に突起した第2の半導体領域を形成する。この第1及び第2の半導体領域は、基体上に設けられた半導体基板を所定形状に加工することで形成することができる。一例として所定形状のマスクを用いてSOI基板にエッチングを行うことにより、半導体層を形成する方法を説明する。マスクとしては、レジストマスク、 $\text{SiO}_2$ 膜などを用いることができる。

[0074] まず、SOI基板を用意し、所定方向に配列された複数のマスク3とマスク3の両側にマスク25を設ける。マスクとしては例えば、レジストマスクを使用することができる。図23(a)はこの状態を表したものである。図23(b)は図23(a)のA-A'方向の断面図である。図23では一例として六つのマスクからなるマスクパターンが示されている。

[0075] マスクの形状は後に形成する半導体層の形状に合わせて、所望の形状とすることができる。好ましくは、図23に示されるように略直方体状であるのが良い。このように第1の半導体領域に含まれる半導体層に対応するマスクを挟んだ両側に、第2の半

導体領域に含まれる半導体層に対応するマスクを設けることによって、第1の半導体領域に含まれる半導体層に対応するマスクの倒れを防止し、後工程でのエッチングを均一に行うことができる。

[0076] 図23に示されるように第2の半導体領域に含まれる半導体層10が第1の半導体領域の両側にある場合には、この半導体層10に対応するマスク25の幅(マスクの配列方向の長さ:図中のa)は、マスクの変形防止の観点から、マスク3の幅a'よりも太い方が好ましい。また、半導体層10が、更に第1の半導体領域に含まれる半導体層8の間にある場合には、この半導体層10に対応するマスクの幅はプロセスの対称性の観点から、マスク3の幅a'と等しい方が好ましいが、回路レイアウトの要請がある場合には太くしても良い。

[0077] マスク25の長手方向長さ(マスクの配列方向と直交する方向の長さ:図中のL)は、後の工程で形成されるゲート電極6のゲート長(図24(c)のd)以上が好ましい。より好ましくは、マスク25の長さLは、マスク3の長さL'以上にするのが良い。マスク25の幅や長さをこのようにすることによって、マスク25の機械的強度を高くして、マスク形成時により効果的にマスク3の損傷を防止することができる。例えば、マスクとしてレジストマスクを使用した場合、フォトリソグラフィ工程後の洗浄時にリンス液によるマスクの倒れを防止し、後の工程でエッチングをより均一に行うことができる。なお、図23ではマスク25の幅がマスク3の幅よりも太く、マスク25の長さLが、マスク3の長さL'と等しい場合を示している。

[0078] マスク25の長さは、マスク3の長さ以上であることが好ましい。マスク25の長さがこれらの範囲内にあることによって、マスク形成時のマスク3の損傷をより効果的に防止することができる。例えば、マスクがレジストマスクである場合、レジスト倒れを効果的に防止することができる。また、エッチング時の半導体層8におけるマイクロローディング効果の対称性を保ち、所望形状の半導体層8を得ることができる。

[0079] マスク3の間の間隔cは一定であることが好ましい。また、一方のマスク25とその隣のマスク3との間の間隔bは、他方のマスク25とその隣のマスク3との間の間隔に等しいことが好ましい。更に、全てのマスク(マスク3及び25)間の間隔が一定である( $b=c$ )ことが好ましい。このようにbやcが一定であったり、 $b=c$ である場合、半導体層の

形成が容易であり、素子特性及び動作安定性に優れた半導体装置とすることができ  
る。

- [0080] 図23(c)はマスクを用いて第1の半導体領域及び第2の半導体領域を形成した状態を表した図である。図23(d)は図23(c)のA-A'方向の断面図である。本製造方法では半導体層8はマスク3に対応し、4つの半導体層8が所定方向に配列されている。この半導体層8は第1の半導体領域を構成する。なお、半導体層8の数は1つ以上であれば良く、その数は特に限定されるわけではない。
- [0081] また、マスク25に対応して半導体層8の両側には半導体層10が設けられている。この半導体層10は第2の半導体領域を構成する。半導体層10の数は、半導体層8の両に少なくとも1つずつ設ける。半導体層8及び10を所望の形状とするためには、それに対応した形状のマスク3及び25を設ければよい。例えば、半導体層8のソース／ドレイン領域の部分の幅をゲート電極で覆われた半導体層8の部分の幅よりも太くするように形成することができる。また、少なくとも半導体層10の側面のうち半導体層8に対向する側面は、半導体層8のチャネル電流が流れる方向と平行となるように形成する必要がある。また、第2の半導体領域として、更に第1の半導体領域の両側に設けられた半導体層10のうち、一方の半導体層10から他方の半導体層10まで半導体層8を囲むように一对の半導体層を設けても良い。
- [0082] 半導体層8は例えば、略直方体状であり、その大きさとしては幅10nm、長さ100nm、高さ100nmであり、幅としては5〜100nm、高さとしては20〜200nmが好ましい。
- [0083] 次に、少なくとも1つの半導体層8を跨ぐようにゲート電極6を形成する。ゲート電極6は、ゲート絶縁膜7及びポリシリコン膜19を半導体層上に堆積した後、所定形状に加工することによって形成することができる。例えば、ゲート絶縁膜7及びポリシリコン膜19上に所定形状のレジストマスクを形成した後、エッチングを行うことにより形成することができる。
- [0084] ゲート電極を形成するためにはまず、半導体層上にゲート絶縁膜7を形成する。この際、トリプルゲート型のMISFETを形成する場合には熱酸化法によって半導体領域の表面(上面及び側面)に薄いSiO<sub>2</sub>膜を形成してゲート絶縁膜7とする。また、ダ

ブルゲート型のMISFETを形成する場合には、半導体層形成時にマスクとして用いた $\text{SiO}_2$ を半導体層8の上部にそのまま残しておき、更にその上に $\text{SiO}_2$ 膜を形成する。第二の半導体領域に含まれる半導体層10上には $\text{SiO}_2$ 膜7を設けても、設けなくても良い(図24では半導体層10上に $\text{SiO}_2$ 膜7を設けた例を示している。)。ゲート絶縁膜としては $\text{SiO}_2$ 膜、 $\text{SiON}$ 膜に限らず、 $\text{Ta}_2\text{O}_5$ 膜、 $\text{Al}_2\text{O}_3$ 膜、 $\text{La}_2\text{O}_3$ 膜、 $\text{HfO}_2$ 膜、 $\text{ZrO}_2$ 膜、 $\text{HfSiO}$ 膜、 $\text{HfSiON}$ 膜等を用いることができる。

[0085] 更に、この $\text{SiO}_2$ 膜7上にCVD法によってポリシリコン膜19を形成した後、不純物拡散で導電性とする。次に、このポリシリコン膜19上にゲート電極形成用のマスク41を堆積する。図24(a)はこの状態を表した上面図である。図24(b)は図24(a)のA-A'方向の断面図である。

[0086] この後、マスク41を用いてゲート電極の形状に加工した後、マスク41を除去する。図24(c)は、この状態を表した上面図、図24(d)は図24(c)のA-A'方向の断面図である。ゲート電極は複数の半導体層を跨ぐように設けても良い。また、半導体層8から半導体層10まで延在するように設けても良い。この場合、ゲート電極6は半導体層10上面の少なくとも一部まで延在して設けられていれば良いが、半導体層10の上面まで設けることが好ましい。このように所望の形状のゲート電極を得るためには、ゲート電極に対応するマスクパターンを形成し、このマスクを用いて加工すれば良い。

[0087] 図24で示されるように、ゲート電極は半導体層10の上面の全部を覆うように形成することが好ましい。このような構造のゲート電極ではゲート電極形成時の加工性を向上させ、動作特性に優れた半導体装置とすることができる。例えば、マスクとしてレジストマスクを用いた場合、ポリシリコン膜の段差部では露光時にフォーカスオフセットによるマスクのサイズ異常が生じる。この状態でエッチングを行うと、このサイズ異常を反映してゲート電極の段差部にサイズ異常が発生する。しかし、本発明の製造方法では、半導体層8上方のゲート電極は平坦であり(段差部を生じていないため)、半導体層8上方のゲート電極にはフォーカスオフセットが生じない。

[0088] 更に、従来の半導体装置の製造方法ではエッチング時に段差部上に積層されたポリシリコン膜は、マイクロローディング効果の非対称性によってゲート長の異常が生じる。つまり、半導体層8の間のポリシリコン膜のエッチング速度は、段差部外側のポリ

シリコン膜のエッチング速度よりマイクロローディング効果によって遅くなる。したがって、段差部外側のポリシリコン膜のゲート長は、半導体層8の間のポリシリコン膜のゲート長より細くなってしまう。しかし、本発明の製造方法では、半導体層8上方のポリシリコン膜においては、マイクロローディング効果の対称性が保たれているため、半導体層8上方のゲート電極のゲート長を一定とすることができる。なお、ゲート長は5〜100nmであることが好ましい。

- [0089] また、図24の半導体装置ではゲート電極は一方の半導体層10から他方の半導体層10まで形成されている。このため、半導体層8上に設けられたゲート電極6は同じ高さとなり、ゲート電極の平坦性を高めることができる。なお、ゲート電極の材料としてはポリシリコンが好適だが、シリコンゲルマニウムなど他の半導体や、タングステン、窒化チタン、ニッケルシリサイドなどの金属材料をゲート電極材料とする場合でも本発明の効果は変わらない。
- [0090] この後、斜め方向からエクステンションイオン注入を行う。この際、半導体層10では片側側面に対向する位置に半導体層8が設けられていないため、このイオン注入時の他の半導体領域からのイオン跳ね返り量が少なくなる。これに対して、半導体層8は全て両側に半導体層8又は10が設けられているため、イオン注入時のイオン跳ね返り量は全ての半導体層8で等しくなるため、複数の半導体層8を設けた場合、各半導体層8中の不純物濃度を一定とすることができる。これは、ハロー注入を斜めイオン注入で行う場合にも、同様の効果が得られる。
- [0091] この後、CVD法によりシリコン酸化膜等を堆積した後、RIE処理を行ってゲートサイドウォールを形成する(図示していない)。このゲート電極6及びゲートサイドウォールをマスクに用いてイオン注入を行い、不純物を半導体領域にドーピングし、ソース/ドレイン領域を形成する。図25(a)は、この状態を表した上面図である。図25(b)は図25(a)のA-A'方向の断面図、図25(c)は図25(a)のB-B'方向の断面図である。この際、半導体層10にはイオン注入を行っても行わなくても良い。この理由は、半導体層10には、チャネル電流を流さないため、ソース/ドレイン領域を形成する必要が無いためである。
- [0092] なお、半導体層10内にイオン注入を行わない場合は、半導体層へのドーピング前に半

導体層10上にマスクを設け、半導体層8へドーピングを行った後にマスクを取り除く工程を設ければ良い。この後、必要に応じてソース／ドレイン領域の表面上に $\text{TiSi}_2$ 、 $\text{CoSi}_2$ 、 $\text{PtSi}$ 、 $\text{Pd}_2\text{Si}$ 、 $\text{IrSi}_3$ 、 $\text{RhSi}$ 、 $\text{NiSi}$ 等のシリサイド膜(図示していない)を形成することができる。

- [0093] 次に、CVD法を用いて上記構造上に $\text{SiO}_2$ などの層間絶縁膜16を形成した後、CMP法を用いてこれを平坦化する。この後、フォトリソグラフィやRIEを用いてコンタクトホール13をソース／ドレイン領域及びゲート電極上に設ける。この際、ソース／ドレイン領域上に設けるコンタクトホール13は複数の第一の半導体領域に含まれる半導体層8に共通となるように設けても、各半導体層8のソース領域、およびドレイン領域に対してそれぞれ独立に設けても良い。
- [0094] また、ゲート電極上に設けるコンタクトホール13の位置は、ゲート電極上であれば特に限定されるわけではないが、半導体層10の上方で設けることが好ましい。この場合、ゲート電極上のコンタクトホール13はソース／ドレイン領域上に形成するコンタクトホール13と同じ深さとなり、コンタクトホールの形成が容易となる。なお、コンタクトホールは開口したい部分以外にフォトレジストが残るようにパターニングを行い、エッチングを行うことによって形成する。
- [0095] 次に、CVD法によりタングステン膜、アルミ膜、窒化チタン／チタン膜やそれらの積層膜をコンタクトホール13内に充填した後、プラズマエッチングもしくは研磨を行うことにより、コンタクトホール13以外に成膜された余分なタングステンを除去し、コンタクトプラグを形成する。これによりコンタクトプラグがコンタクトホール13内に形成される。
- [0096] 次に、層間絶縁膜16上にコンタクトプラグと電氣的に接触する配線14を形成する。この配線層はスパッタ法等によりアルミニウムを主成分とする層を成膜した後、所望パターンのマスク形成及びエッチングを行うことによって形成される。
- [0097] 配線14は例えば、アルミニウムを主成分とした導電物から構成される。更に、パッシベーション膜(図示していない)を層間絶縁膜16及び配線14上に堆積して半導体装置とする。図26(a)は、この状態を表した上面図である。図26(b)は図26(a)のA-A'方向の断面図、図26(c)は図26(a)のB-B'方向の断面図である。図26は各半導体層8のソース／ドレイン領域に対して共通したコンタクトを形成した半導体装置を示

している。

[0098] 上記半導体装置の製造方法では第1の半導体領域の両側に第2の半導体領域を形成したが、第1の半導体領域に含まれる半導体層8の間に更に、第2の半導体領域を設けても良い。この場合、基体上に複数の半導体層を設けた後、半導体層8の間に第2の半導体領域として形成したい半導体層にはイオン注入によりソース／ドレイン領域を形成しないか、又は半導体層10内にソース／ドレイン領域を形成した場合には、ソース／ドレイン領域とのコンタクトを形成しなければ良い。半導体層8の間に設ける半導体層10の数は特に限定されるわけではなく、2つ以上の半導体層10を設けても良い。また、半導体層10を設ける位置は特に限定されるわけではなく、複数の異なる位置(半導体層8の間)に設けても良い。ゲート電極6は、この間に設けた半導体層10上まで延在して設けられていても、設けられていなくても良い。

[0099] 図27は第1の半導体領域及び第2の半導体領域がシリコンウェハ基板5から直接、突起した半導体装置(図10の半導体装置に対応する)の製造方法の一例を示したものである。まず、シリコンウェハ基板5上に $\text{SiO}_2$ 膜40を設けた後、イオン注入を行い、シリコンウェハ基板5を不純物層とする。次に、CVD法等によりSiN膜39を積層した後(図27(a))、SiN膜39上にマスク3及び25を設ける(図27(b))。次に、マスクを用いて所定形状の突起を形成した後、CVD法等により分離絶縁膜42を堆積し、CMP等を用いてこれを平坦化する(図27(c))。更にエッチングを行って、分離絶縁膜42が所定厚さとなるまで取り除き、突起した半導体層8及び10を形成する。この後、 $\text{SiO}_2$ 膜40及びSiN膜39を除去して半導体層8及び10を得る。この後は上記説明と同様の方法によって半導体装置を形成する。

[0100] また、図28は本発明の他の半導体装置の製造方法の一例を示したものである。この半導体装置ではソース／ドレイン領域が半導体層で電氣的に接続され、共通化されている。図28(a)は、この半導体装置の半導体層形成のためにマスクを形成した状態を表した上面図、図28(b)は図28(a)のA-A'方向の断面図である。まず、所定方向に等間隔に配列されたマスク3と、マスク3の両側に形成されたマスク25と、マスク3の配列方向に延在して4つのマスク3を挟んで連結するマスク27とからなるマスクパターンを形成する。

- [0101] 次に、このマスクを用いて第1及び第2の半導体領域を形成する。なお、第1の半導体領域はマスク3及び27を用いて形成された半導体層8及び32であり、第2の半導体領域はマスク25を用いて形成された半導体層10に対応する。次に、この半導体層上に酸化膜7及びポリシリコン膜19を堆積した後、ゲート電極形成用に所定形状のマスクを形成する。そして、このマスクを用いて酸化膜7及びポリシリコン膜19を除去し、所定形状のゲート電極6を形成する。図28(c)は、この状態を表した上面図、図28(d)は図28(c)のA-A'方向の断面図である。図28(c)では、一方の半導体層10から他方の半導体層10まで全ての半導体層8及び10を跨ぐようにゲート電極6が形成されている。
- [0102] 次に、ゲートサイドウォールを形成し、ゲート電極及びゲートサイドウォールをマスクを用いて、半導体層8のゲート電極で覆われていない部分にソース/ドレイン領域を形成した後、この半導体装置上に層間絶縁膜16を形成する。この後、何れか一方の半導体層10の上方でゲート電極6とのコンタクトを形成し、半導体層8のソース/ドレイン領域上にコンタクトを形成する。ソース/ドレイン領域とのコンタクトの位置は半導体層8上であれば特に限定されるわけではない。このため、コンタクトの位置合わせが容易となる。また、コンタクトの形成工程を簡素化することができる。
- [0103] 図29(a)は、この状態を表した上面図である。図29(b)は図29(a)のA-A'方向の断面図、図29(c)は図29(a)のB-B'方向の断面図である。なお、上記製造方法の変形例として共通化されたソース領域とドレイン領域に含まれる半導体層8の数がそれぞれ異なった半導体装置を製造することもできる(例えば、図17に相当する)。この場合、半導体層の形状に対応するような形状のマスクを用いてエッチングを行えばよい。
- [0104] 本明細書ではゲート電極材料をエッチングしてゲート電極を形成する場合の効果について説明したが、同様の効果はいわゆるダマシングート法によるゲート電極形成においても得られる。ダマシングート法においては通常のゲート電極形成と同様にしてダミーゲートを形成し、ダミーゲートを絶縁膜に転写してゲートの型となる溝を形成し、さらにこの溝にゲート電極材料を埋め込むことでトランジスタを形成するものである。ダミーゲートの形成は本明細書で説明したゲート電極の形成と同様にエッチング

で行うため、ダマシゲート法においても、本発明は同様の効果を得ることが可能である。

## 請求の範囲

- [1] 第1の半導体領域と、第2の半導体領域とを備えた半導体装置であって、  
(a) 該第1の半導体領域は、基体から上方に突起した少なくとも1つの半導体層を有し、該半導体層を跨ぐように絶縁膜を介してゲート電極が設けられ、該半導体層の前記ゲート電極を挟んだ両側にソース／ドレイン領域が設けられて、  
該半導体層の少なくとも両側面にチャネル領域が形成される電界効果型トランジスタが構成され、  
(b) 前記第2の半導体領域は、基体から上方に突起し、チャネル電流の方向と直交する方向において少なくとも第1の半導体領域を挟んだ両側に形成された半導体層を有し、該半導体層の第1の半導体領域側の側面は、該チャネル電流の方向と平行であることを特徴とする半導体装置。
- [2] 前記第1の半導体領域は、前記チャネル電流の方向が互いに平行となるように配列された複数の半導体層を有することを特徴とする請求項1に記載の半導体装置。
- [3] 前記第1の半導体領域は、複数の半導体層にそれぞれ独立のソース／ドレイン領域及びゲート電極が設けられていることを特徴とする請求項2に記載の半導体装置。
- [4] 前記ゲート電極が、前記複数の半導体層のうち少なくとも2つの半導体層を跨ぐように形成されていることを特徴とする請求項2に記載の半導体装置。
- [5] 前記複数の半導体層内に設けられた各ソース／ドレイン領域が、電氣的に共通接続され、前記ゲート電極が、該共通接続された半導体層を跨ぐように形成されていることを特徴とする請求項2に記載の半導体装置。
- [6] 前記第1の半導体領域は、更に基体から上方に突起し前記チャネル電流の方向と直交する方向に延在して、前記複数の半導体層のうち少なくとも2つの半導体層のソース／ドレイン領域を電氣的に共通接続する連結半導体層を有し、  
前記ゲート電極は、該連結半導体層で接続された半導体層を跨ぐように形成されていることを特徴とする請求項2に記載の半導体装置。
- [7] 前記チャネル電流<sup>3</sup>の方向と直交する方向において、  
前記第1の半導体領域に含まれる複数の半導体層の間に更に、第2の半導体領域に含まれる半導体層を設けたことを特徴とする請求項2〜5の何れか1項に記載の半

導体装置。

- [8] 前記複数の半導体層は、前記チャネル電流の方向と直交する方向に等間隔で配列されていることを特徴とする請求項2〜6の何れか1項に記載の半導体装置。
- [9] 前記第1の半導体領域の両側に設けられた第2の半導体領域に含まれる半導体層は、該第1の半導体領域から互いに等しい間隔で設置されていることを特徴とする請求項1〜8の何れか1項に記載の半導体装置。
- [10] 前記第1の半導体領域に含まれる半導体層、および前記第2の半導体領域に含まれる半導体層は、前記チャネル電流の方向と直交する方向に等間隔で配列されていることを特徴とする請求項1〜9の何れか1項に記載の半導体装置。
- [11] 前記ゲート電極が、前記第1の半導体領域に含まれる半導体層上から前記第2の半導体領域に含まれる半導体層上まで延在して設けられていることを特徴とする請求項1〜10の何れか1項に記載の半導体装置。
- [12] 前記第2の半導体領域に含まれる半導体層の上方において、前記ゲート電極とのコンタクトが形成されていることを特徴とする請求項11に記載の半導体装置。
- [13] 前記第1の半導体領域に含まれる半導体層は、少なくとも前記ゲート電極に覆われた部分が略直方体状であることを特徴とする請求項1〜12の何れか1項に記載の半導体装置。
- [14] 前記第1の半導体領域に含まれる前記半導体層は、略直方体状であることを特徴とする請求項1〜12の何れか1項に記載の半導体装置。
- [15] 前記チャネル電流の方向において、  
前記第1の半導体領域の両側に設けられた前記第2の半導体領域に含まれる半導体層の長さが、前記ゲート電極の長さよりも長いことを特徴とする請求項1〜14の何れか1項に記載の半導体装置。
- [16] 前記チャネル電流の方向において、  
前記第1の半導体領域の両側に設けられた前記第2の半導体領域に含まれる半導体層の長さが、前記第1の半導体領域に含まれる半導体層の長さ以上であることを特徴とする請求項1〜14の何れか1項に記載の半導体装置。
- [17] 前記チャネル電流の方向と直交する方向において、

前記第1の半導体領域の両側に設けられた前記第2の半導体領域に含まれる半導体層の幅が、前記第1の半導体領域に含まれる半導体層の幅以上であることを特徴とする請求項1〜16の何れか1項に記載の半導体装置。

- [18] 前記第2の半導体領域は、  
更に、前記第1の半導体領域の両側に設けられた半導体層のうち一方の半導体層から他方の半導体層まで、互いに該第1の半導体領域を囲むように連結する一対の半導体層を有していることを特徴とする請求項1〜17の何れか1項に記載の半導体装置。
- [19] 基体から上方に突起した少なくとも1つの半導体層を有する第1の半導体領域と、少なくとも前記第1の半導体領域を挟む両側に基体から上方に突起した半導体層を有する第2の半導体領域と、を形成するフィン型半導体層の形成工程と、前記第1の半導体領域に含まれる半導体層を跨ぐようにゲート電極と、該ゲート電極と半導体層の少なくとも両側面の間に絶縁膜と、該半導体層のゲート電極を挟んだ両側にソース/ドレイン領域と、を形成するトランジスタの形成工程と、を有することを特徴とする半導体装置の製造方法。
- [20] 前記フィン型半導体層の形成工程において、  
第2の半導体領域の、第1の半導体領域側の側面は、チャネル電流の方向と平行となるように形成することを特徴とする請求項19に記載の半導体装置の製造方法。
- [21] 前記フィン型半導体層の形成工程において、  
基体上に設けた半導体基板を所定形状に加工することで前記第1の半導体領域と前記第2の半導体領域とを同時に形成することを特徴とする請求項19または20に記載の半導体装置の製造方法。
- [22] 前記フィン型半導体層の形成工程において、  
前記所定形状の加工は、前記第1の半導体領域および第2の半導体領域に対応する形状のマスクを用いて前記半導体基板をエッチングすることにより行うことを特徴とする請求項21に記載の半導体装置の製造方法。
- [23] 前記トランジスタの形成工程において、  
前記ゲート電極を、前記第1の半導体領域に含まれる半導体層上から第2の半導体

領域に含まれる半導体層上まで延在して設けることを特徴とする請求項19～22の何れか1項に記載の半導体装置の製造方法。

- [24] 前記トランジスタの形成工程において、  
更に前記ゲート電極とのコンタクトを、該ゲート電極が延在して設けられた第2の半導体領域に含まれる半導体層の上方で形成することを特徴とする請求項23に記載の半導体装置の製造方法。
- [25] 前記フィン型半導体層の形成工程において、  
第1の半導体領域として、複数の半導体層を、それぞれの半導体層を流れるチャネル電流の方向が互いに平行となるように形成することを特徴とする請求項19～24の何れか1項に記載の半導体装置の製造方法。
- [26] 前記トランジスタの形成工程において、  
複数のゲート電極を、各ゲート電極がそれぞれ1つの第1の半導体領域に含まれる半導体層を跨ぐように形成することを特徴とする請求項25に記載の半導体装置の製造方法。
- [27] 前記トランジスタの形成工程において、  
第1の半導体領域に含まれる複数の半導体層のうち少なくとも2つ以上の半導体層を跨ぐようにゲート電極を形成することを特徴とする請求項25に記載の半導体装置の製造方法。
- [28] 前記フィン型半導体層の形成工程において、  
前記第1の半導体領域として、更に基体から上方に突起し前記チャネル電流の方向と直交する方向に延在して、前記複数の半導体層のうち少なくとも2つの半導体層を電氣的に共通接続する連結半導体層を形成し、  
前記トランジスタの形成工程において、  
該連結半導体層で接続された半導体層を跨ぐようにゲート電極を形成することを特徴とする請求項25に記載の半導体装置の製造方法。
- [29] 前記フィン型半導体層の形成工程において、  
前記第1の半導体領域に含まれる半導体層の間に更に、第2の半導体領域に含まれる半導体層を形成することを特徴とする請求項25～27の何れか1項に記載の半

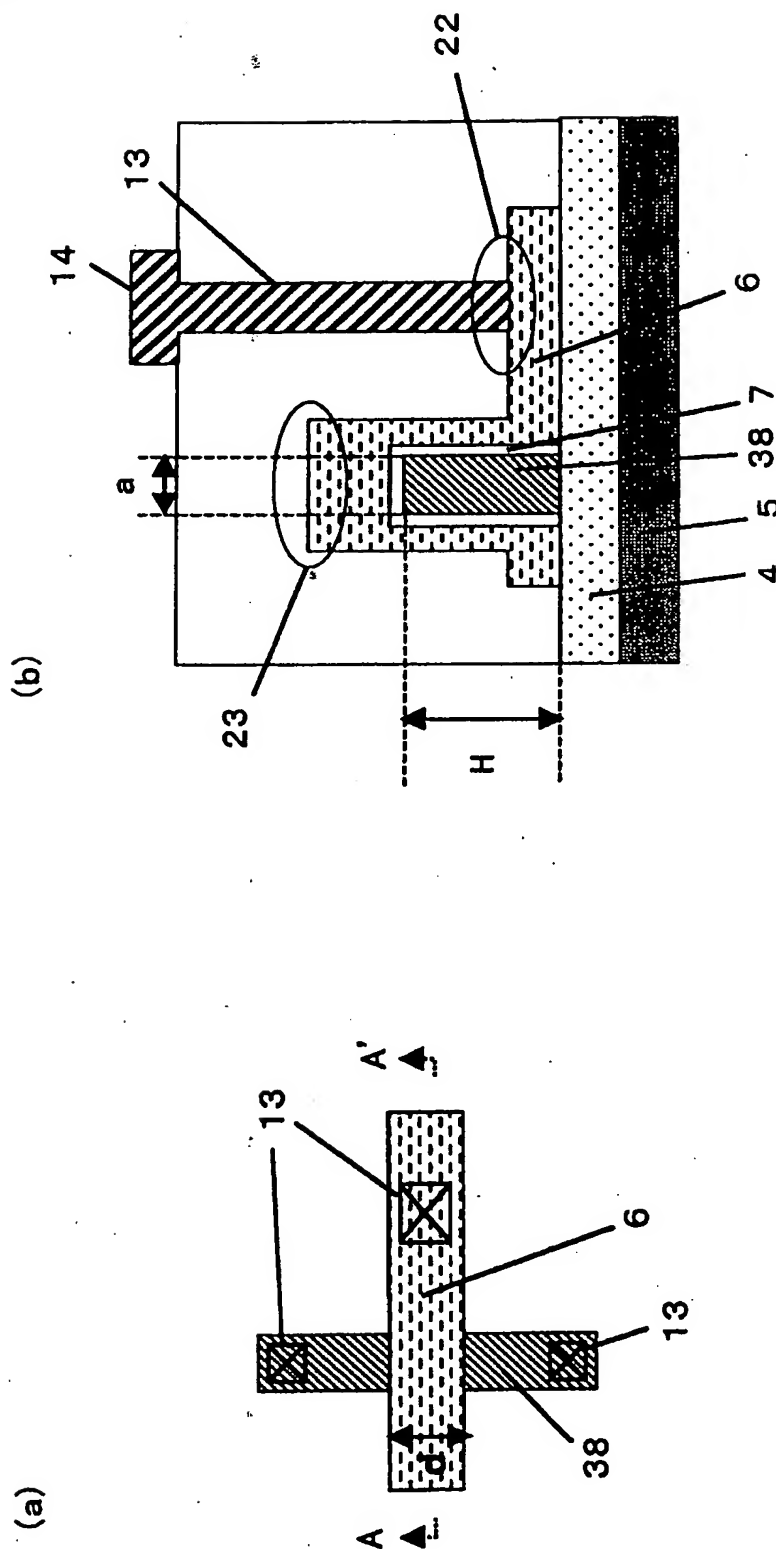
導体装置の製造方法。

- [30] 前記フィン型半導体層の形成工程において、  
前記第1の半導体領域に含まれる複数の半導体層を、前記チャネル電流の方向と直交する方向に互いに等間隔となるように形成することを特徴とする請求項25〜28の何れか1項に記載の半導体装置の製造方法。
- [31] 前記フィン型半導体層の形成工程において、  
前記第2の半導体領域に含まれる半導体層を、前記第1の半導体領域の両側に、該第1の半導体領域から互いに等しい間隔となるように設置することを特徴とする請求項25〜30の何れか1項に記載の半導体装置の製造方法。
- [32] 前記フィン型半導体層の形成工程において、  
前記第1の半導体領域に含まれる複数の半導体層、および前記第2の半導体領域に含まれる半導体層を、前記チャネル電流の方向と直交する方向に等間隔となるように形成することを特徴とする請求項25〜31の何れか1項に記載の半導体装置の製造方法。
- [33] 前記フィン型半導体層の形成工程において、  
前記第1の半導体領域に含まれる半導体層の少なくとも前記ゲート電極に覆われた部分を、略直方体状となるように形成することを特徴とする請求項19〜32の何れか1項に記載の半導体装置の製造方法。
- [34] 前記フィン型半導体層の形成工程において、  
前記第1の半導体領域に含まれる前記半導体層を、略直方体状となるように形成することを特徴とする請求項19〜32の何れか1項に記載の半導体装置の製造方法。
- [35] 前記トランジスタの形成工程において、  
前記第1の半導体領域の両側に、第2の半導体領域に含まれる半導体層を、該半導体層の前記チャネル電流の方向の長さが、前記ゲート電極の長さよりも長くなるように形成することを特徴とする請求項19〜34の何れか1項に記載の半導体装置の製造方法。
- [36] 前記トランジスタの形成工程において、  
前記第1の半導体領域の両側に、第2の半導体領域に含まれる半導体層を、該半導

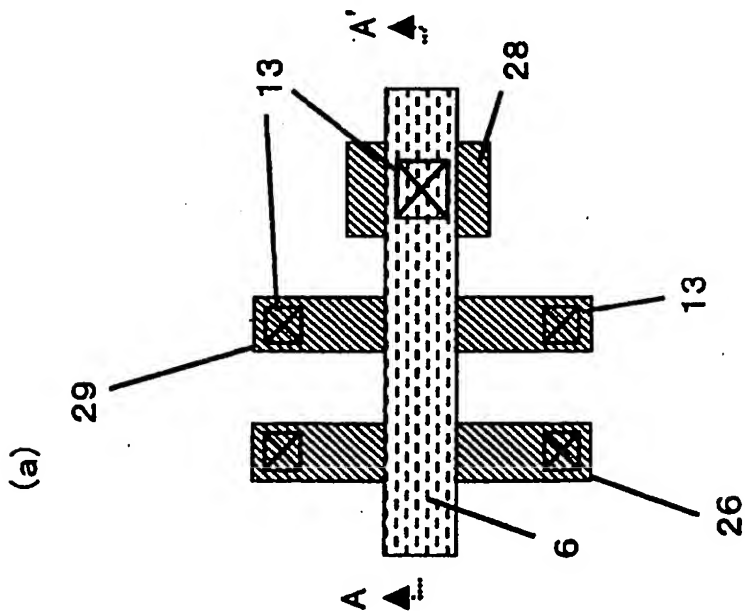
体層の前記チャネル電流の方向の長さが、該第1の半導体領域に含まれる半導体層の長さよりも長くなるように形成することを特徴とする請求項19～34の何れか1項に記載の半導体装置の製造方法。

- [37] 前記トランジスタの形成工程において、  
前記第1の半導体領域の両側に、第2の半導体領域に含まれる半導体層を、該半導体層の前記チャネル電流の方向と直交する方向の幅が、該第1の半導体領域に含まれる前記半導体層の幅以上となるように形成することを特徴とする請求項19～36の何れか1項に記載の半導体装置の製造方法。
- [38] 前記フィン型半導体層の形成工程において、  
前記第2の半導体領域として更に、前記第1の半導体領域の両側に設けられた半導体層のうち一方の半導体層から他方の半導体層まで、互いに該第1の半導体領域を囲むように連結する一対の半導体層を形成することを特徴とする請求項19～37の何れか1項に記載の半導体装置の製造方法。

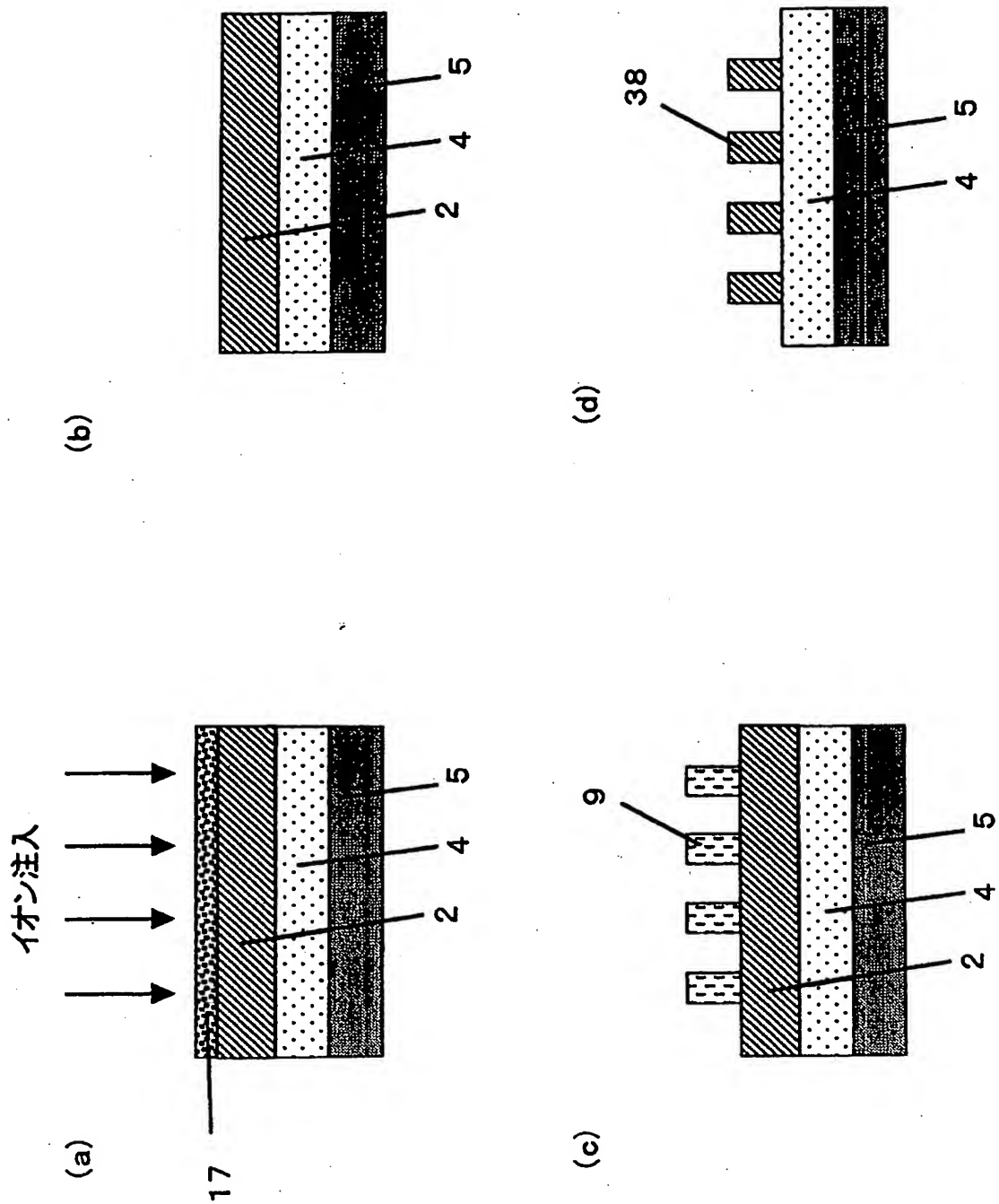
[図1]



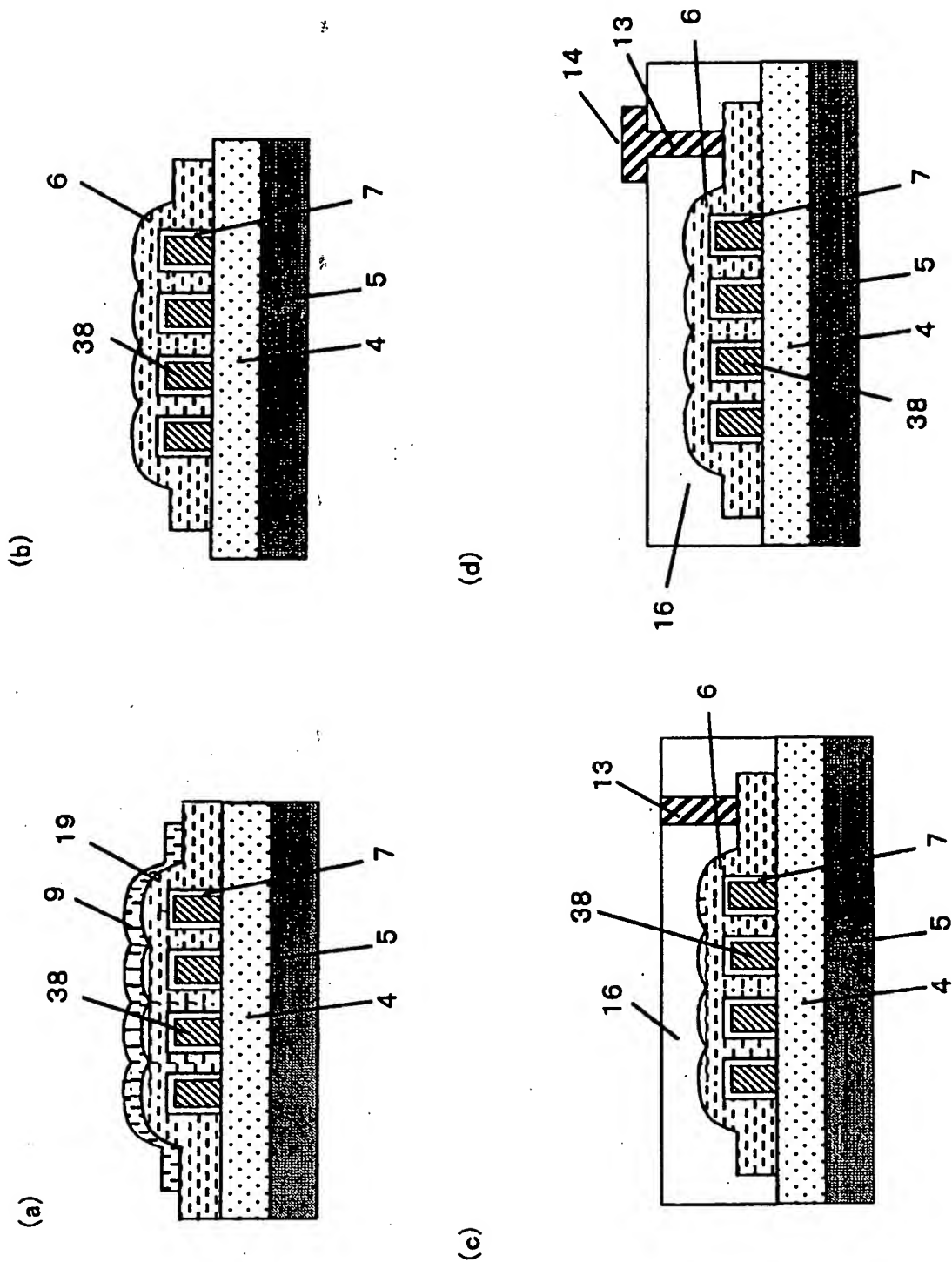
(9)



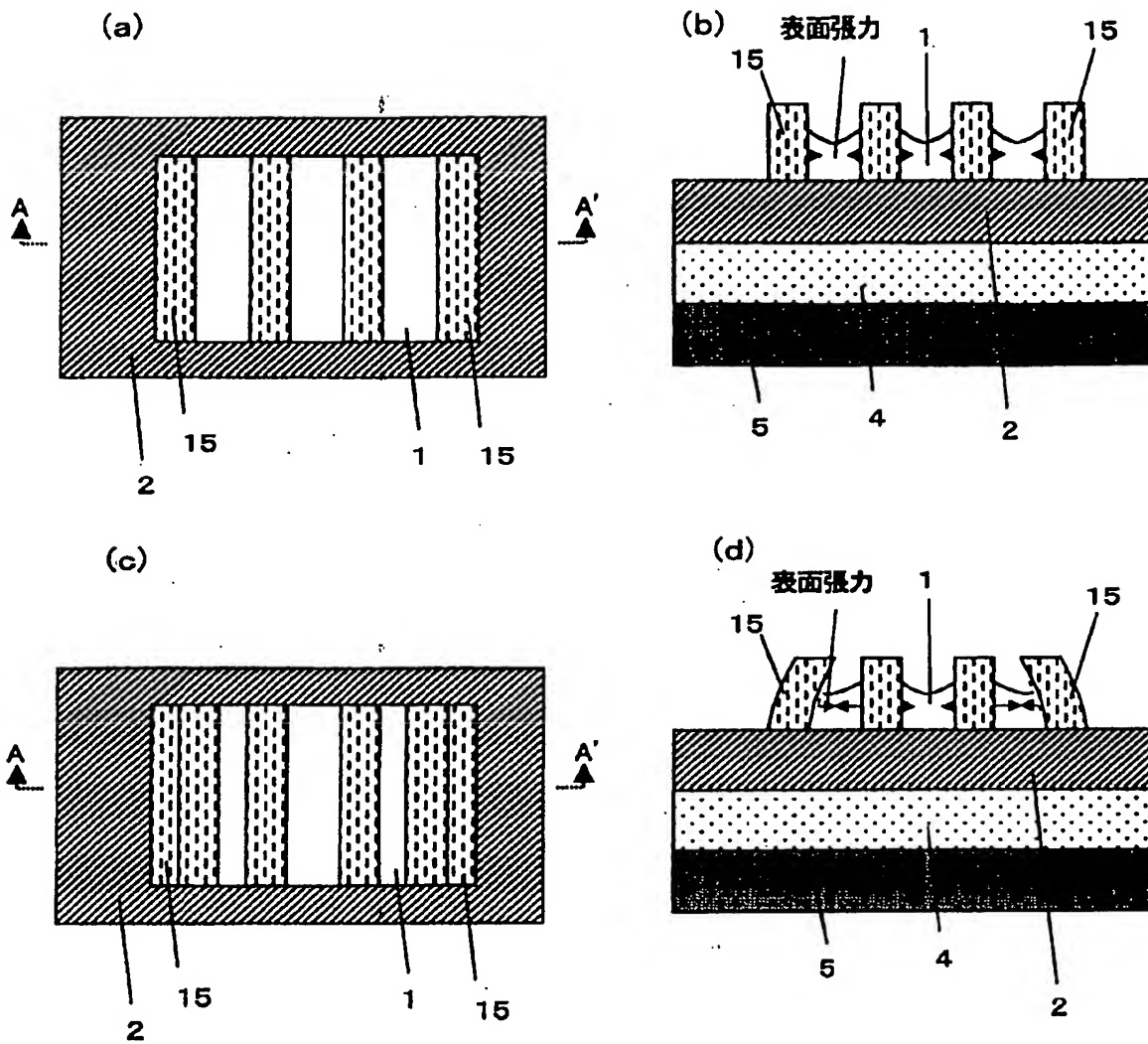
[図3]



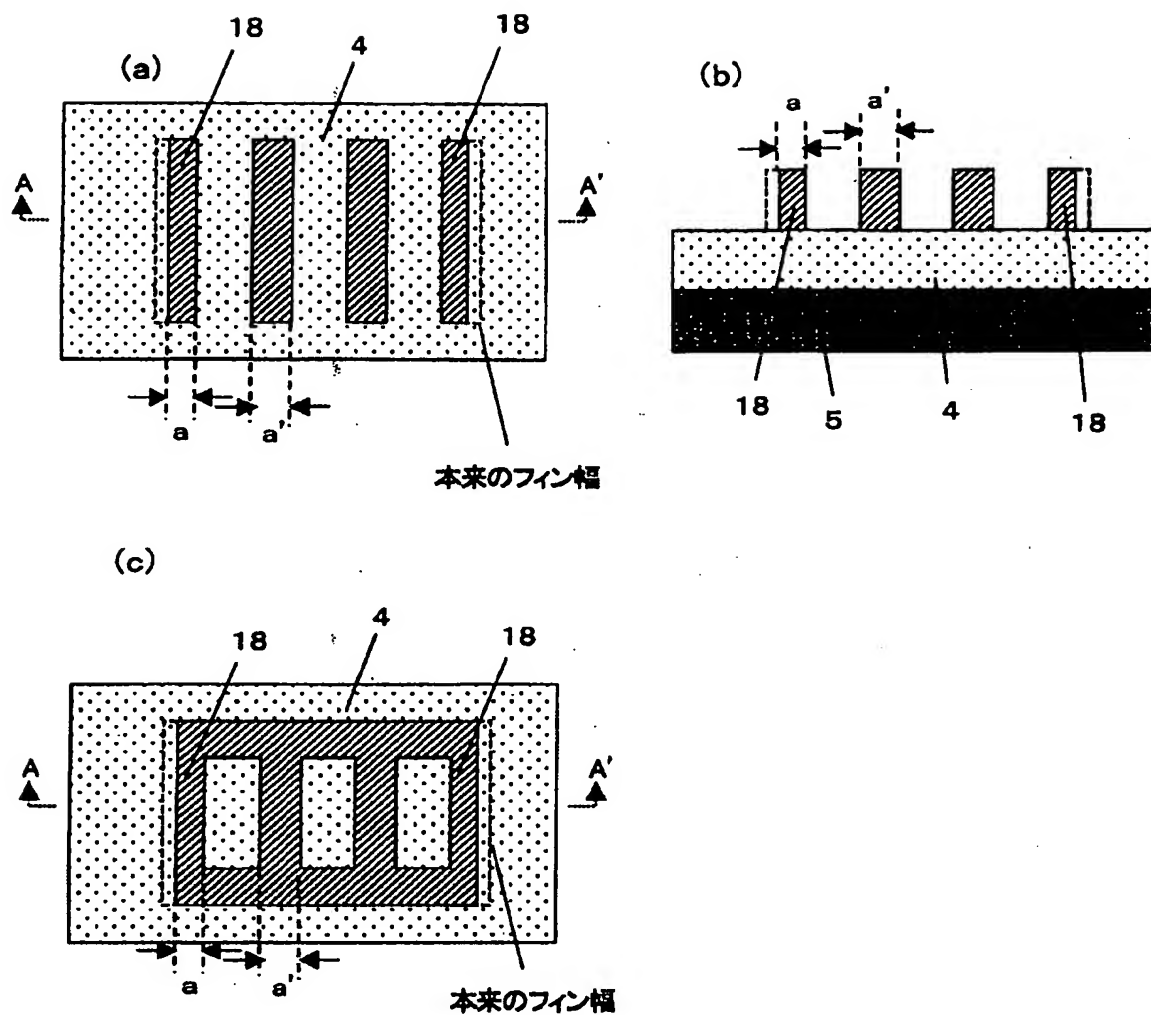
[図4]



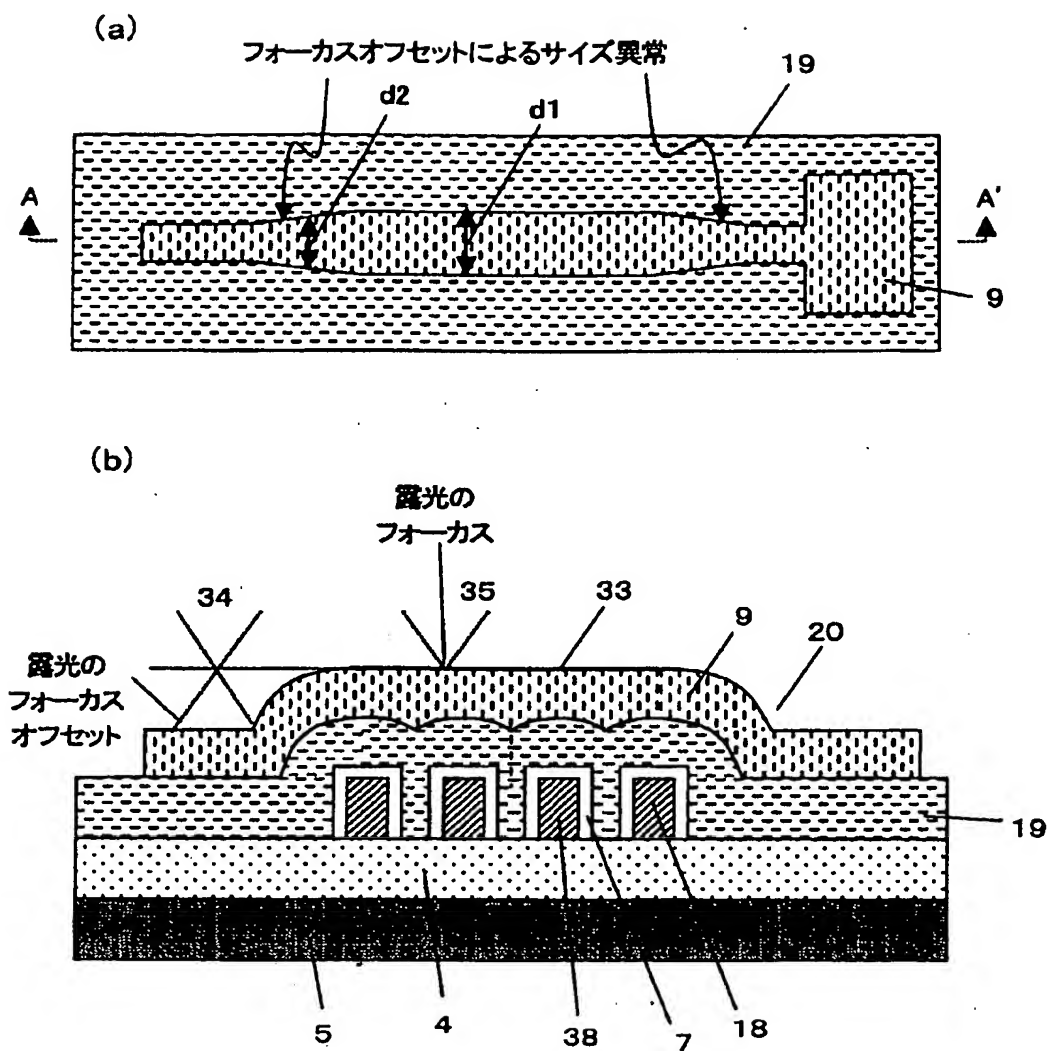
[図5]



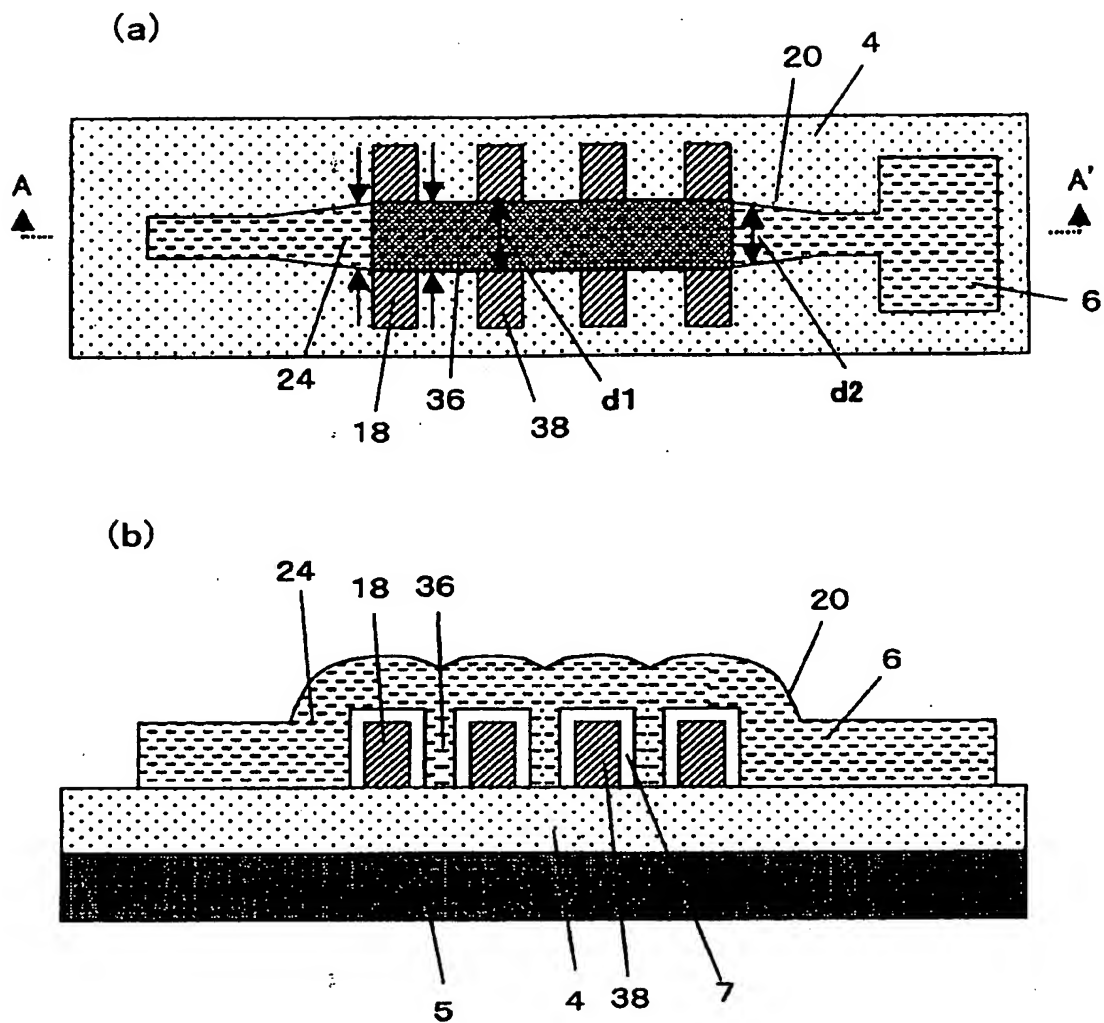
[図6]



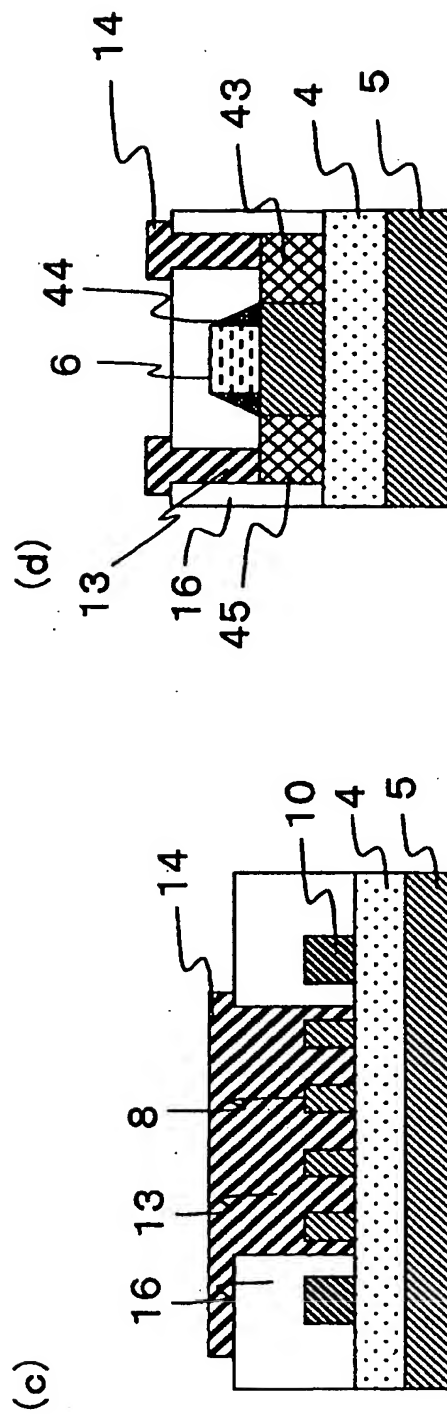
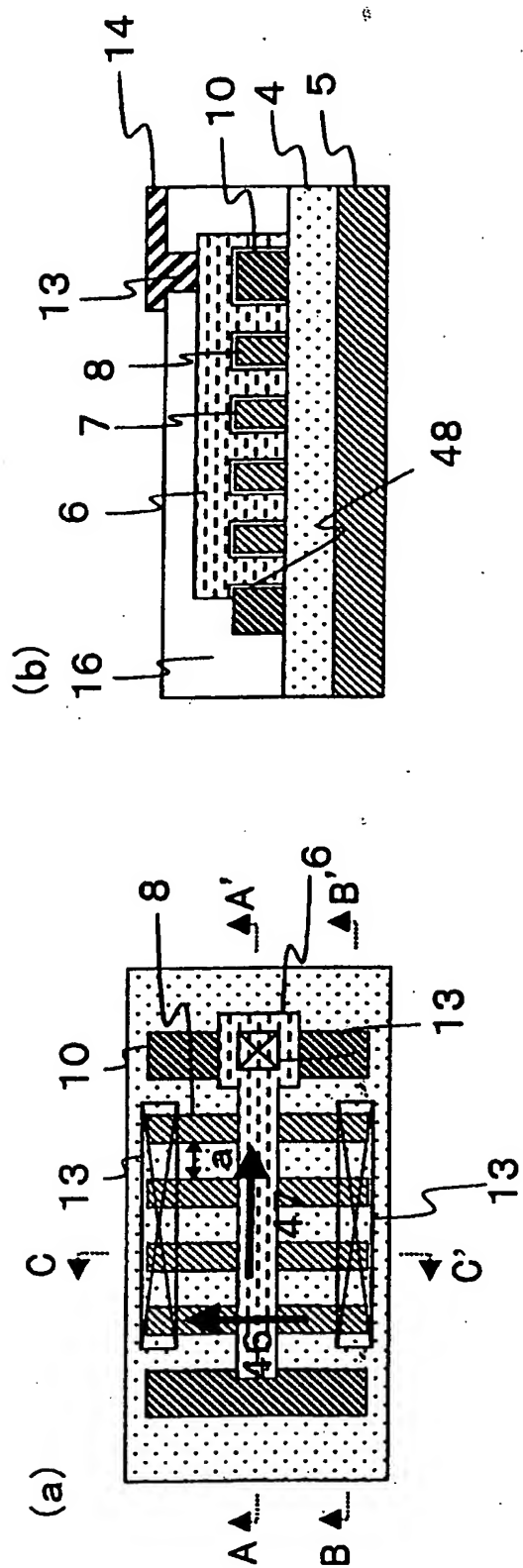
[図7]



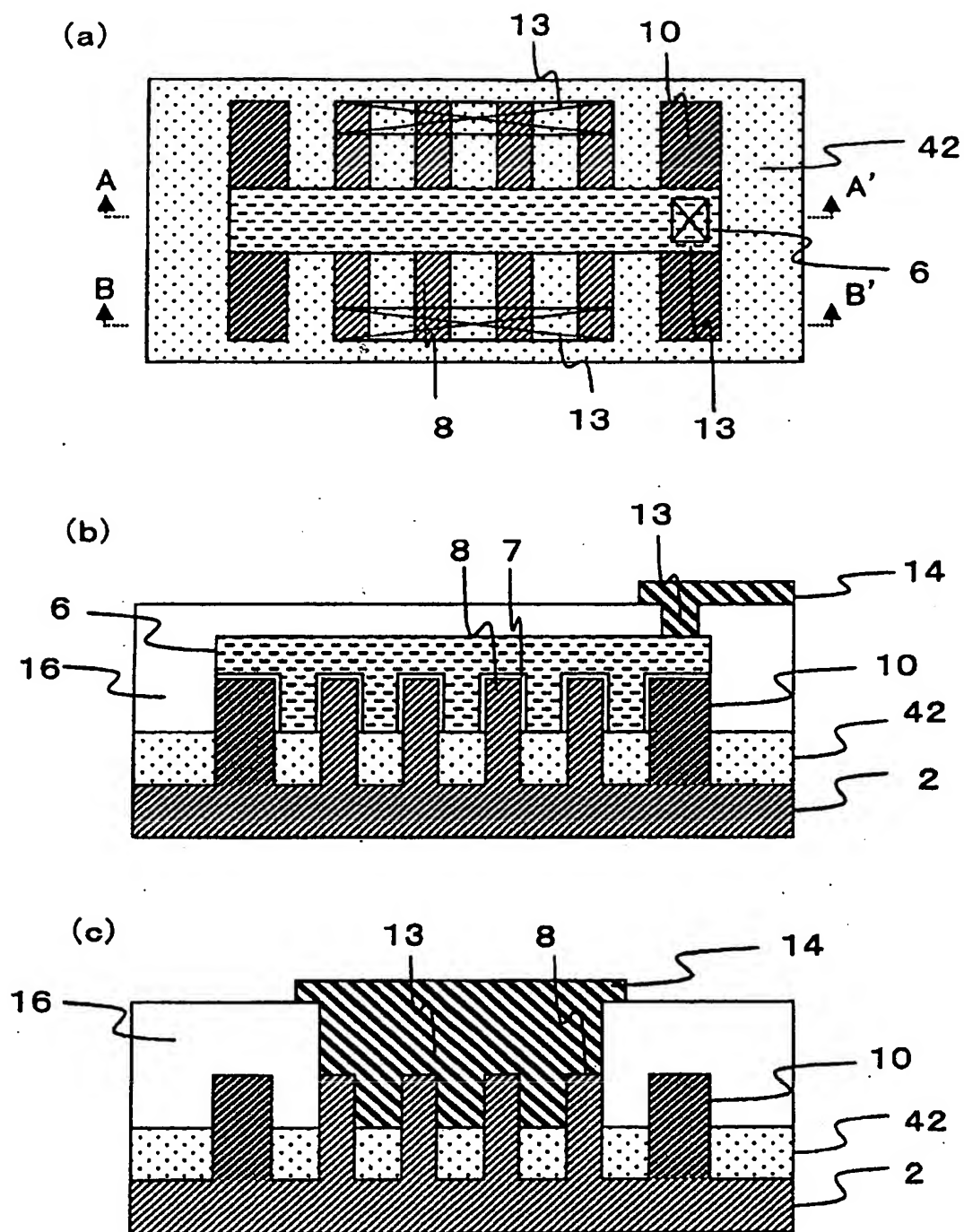
[図8]



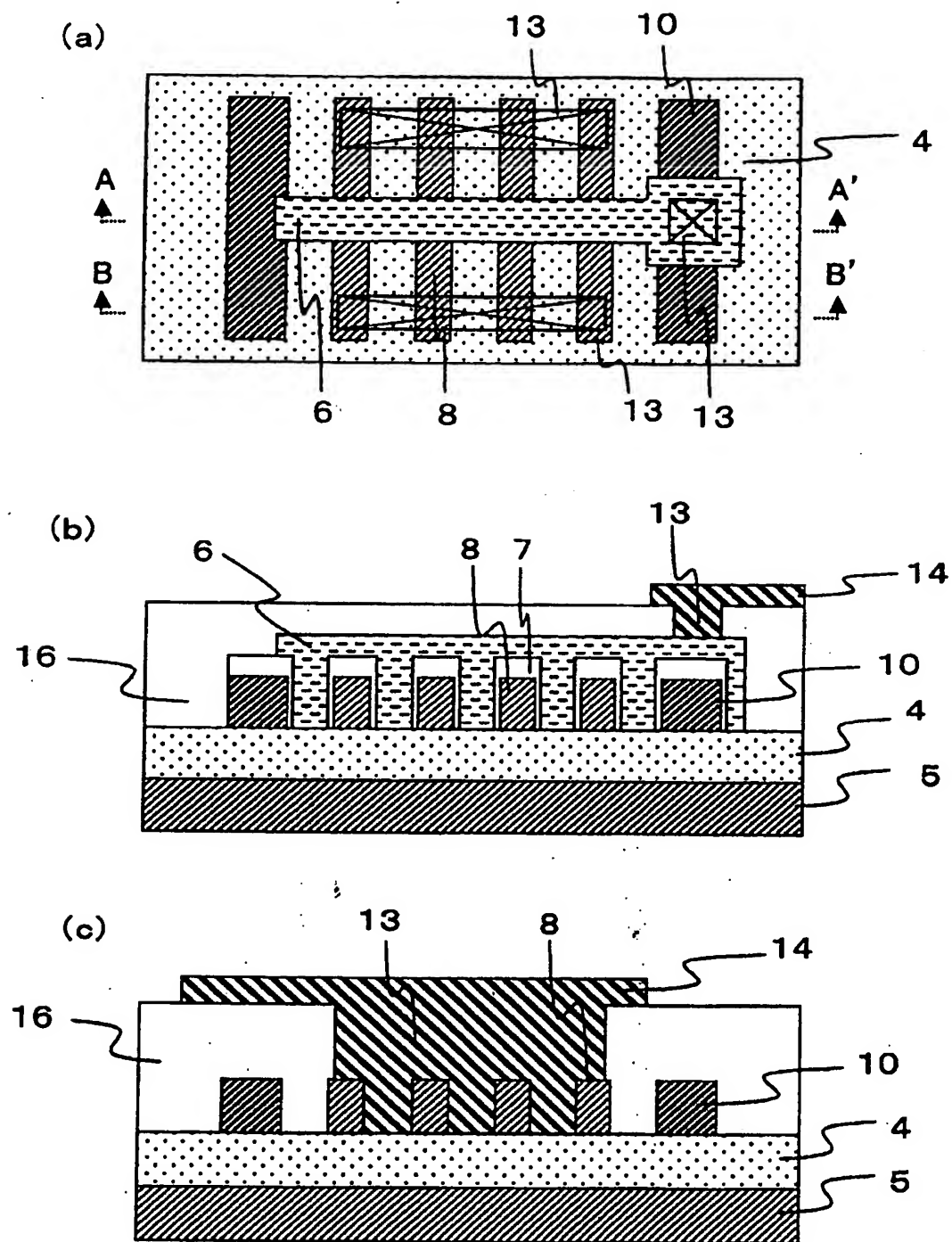
[図9]



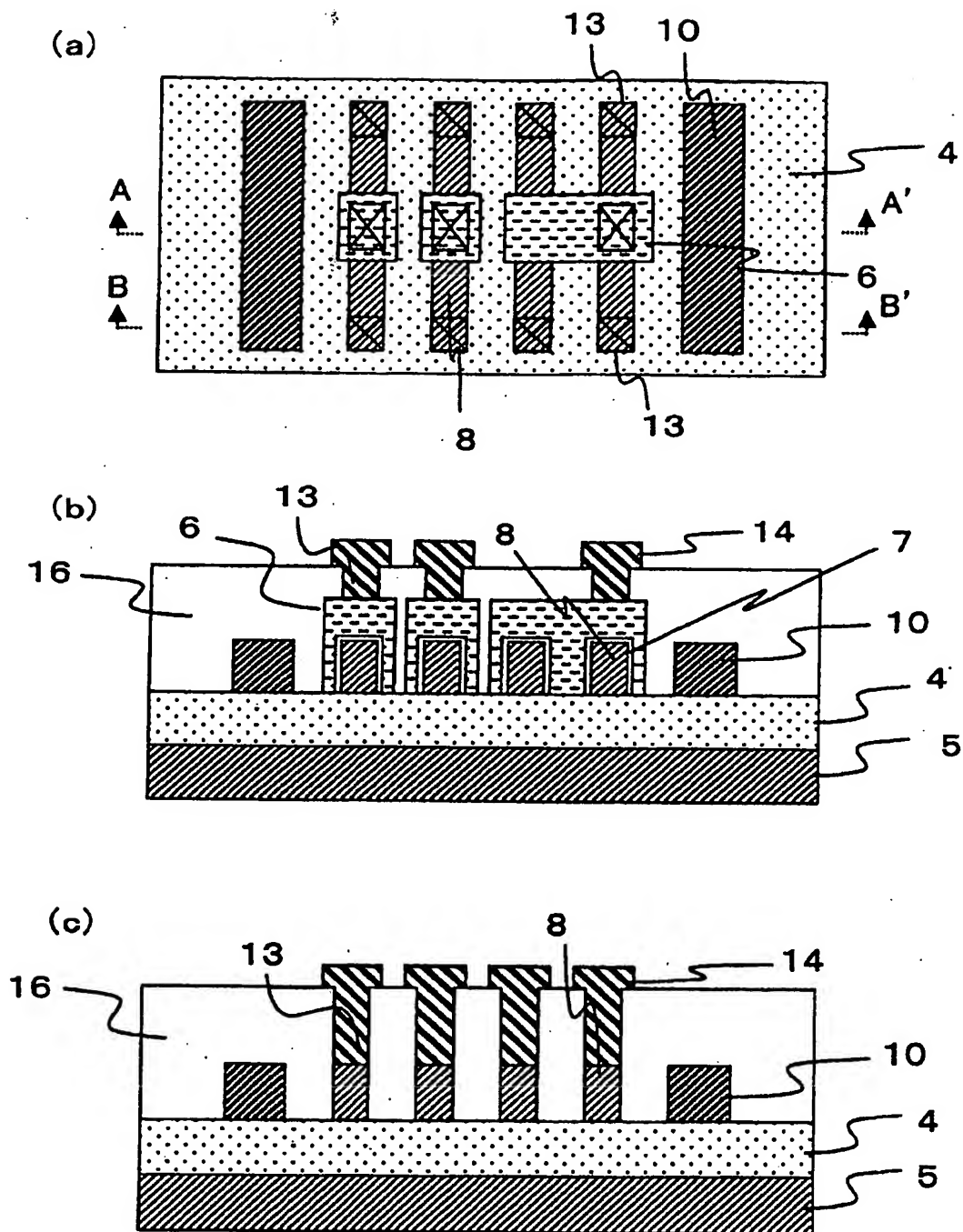
[図10]



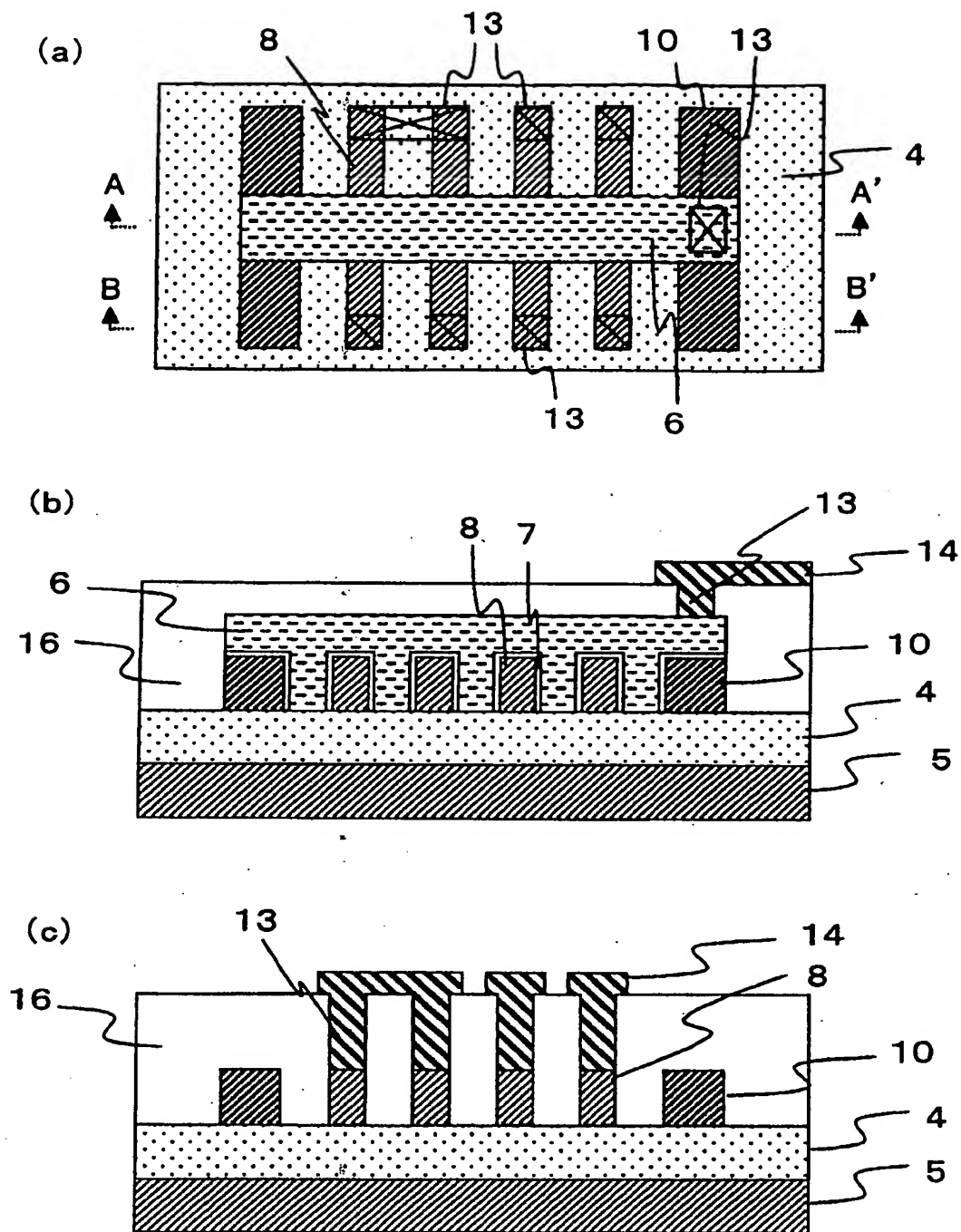
[図11]



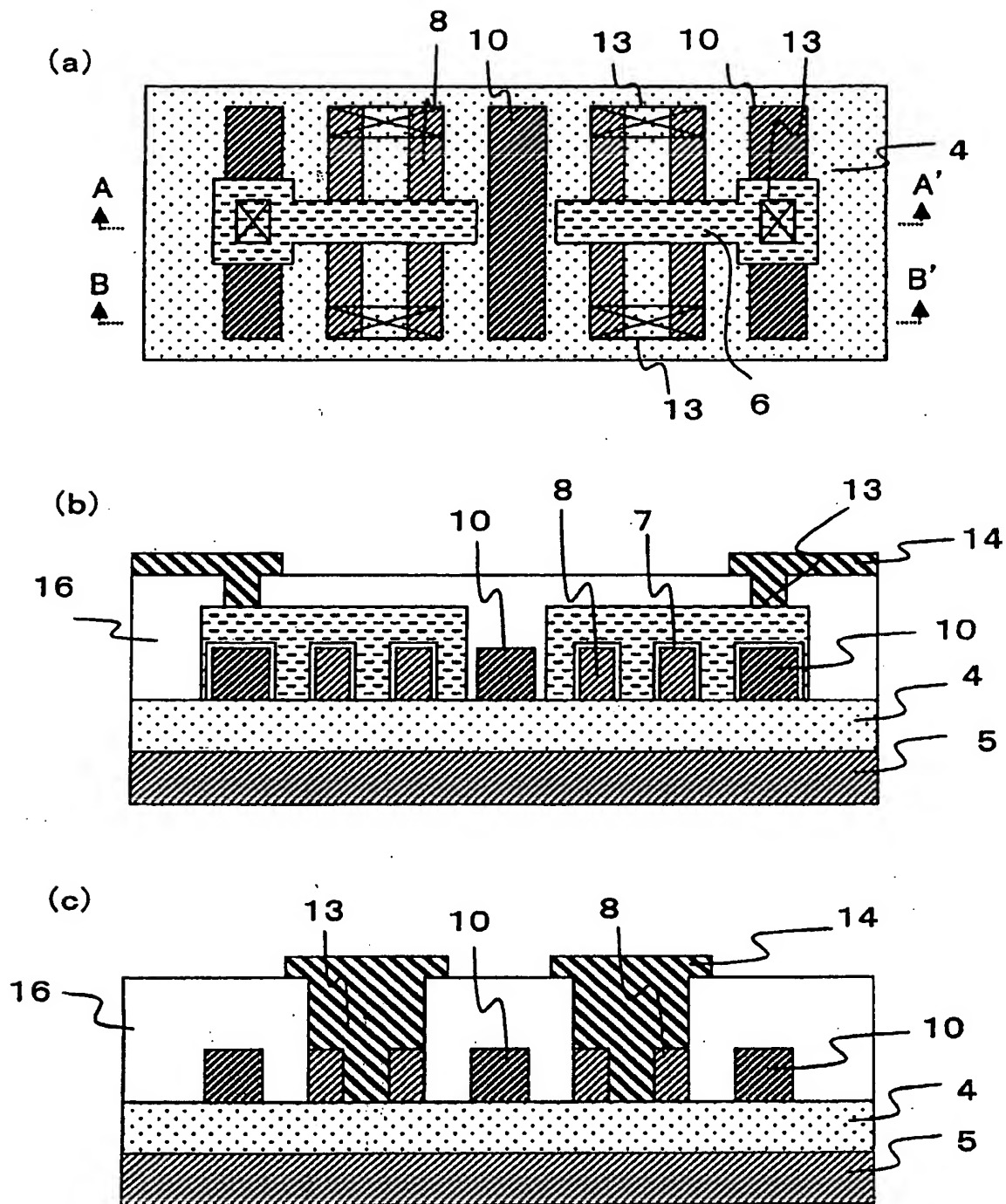
[図12]



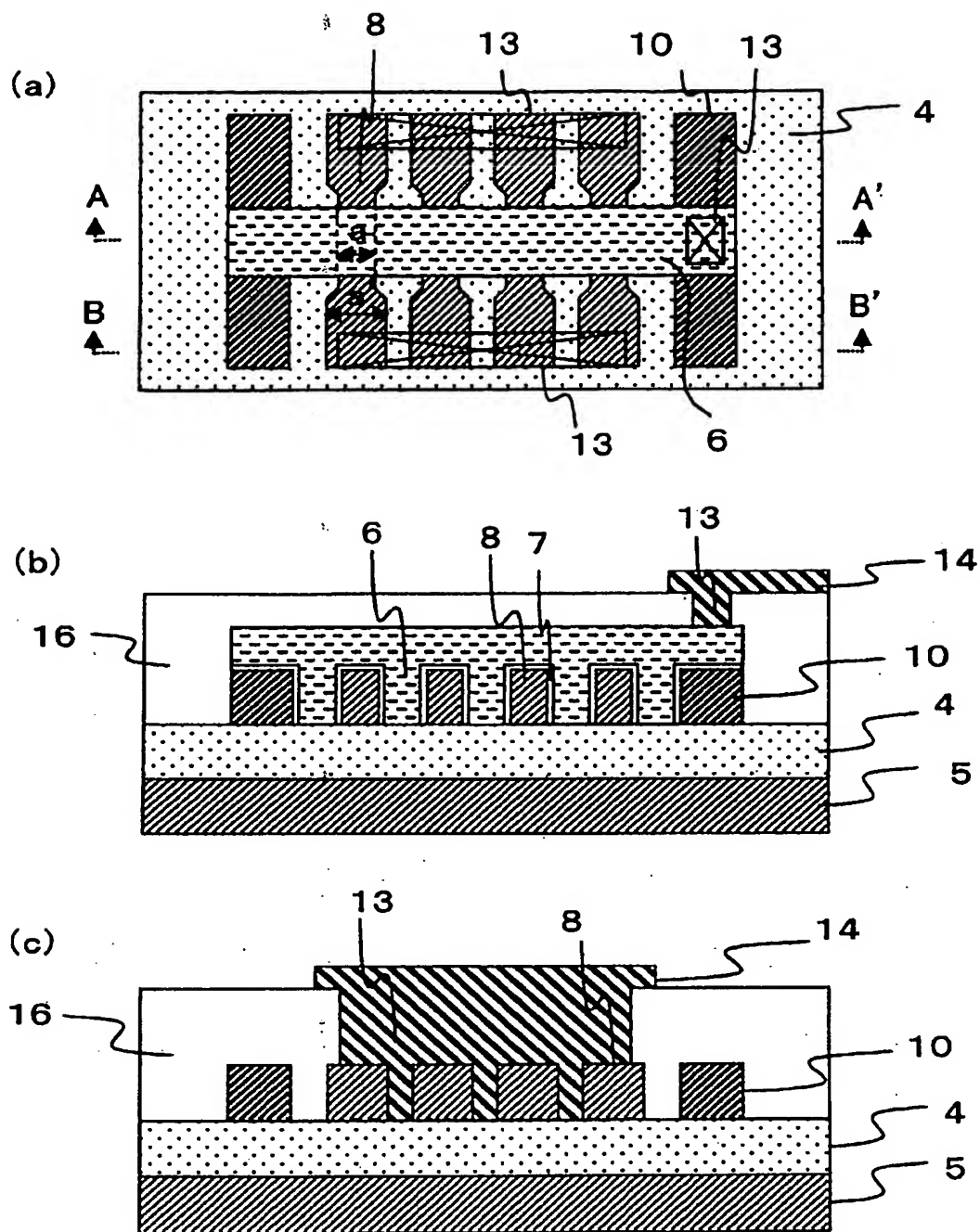
[図13]



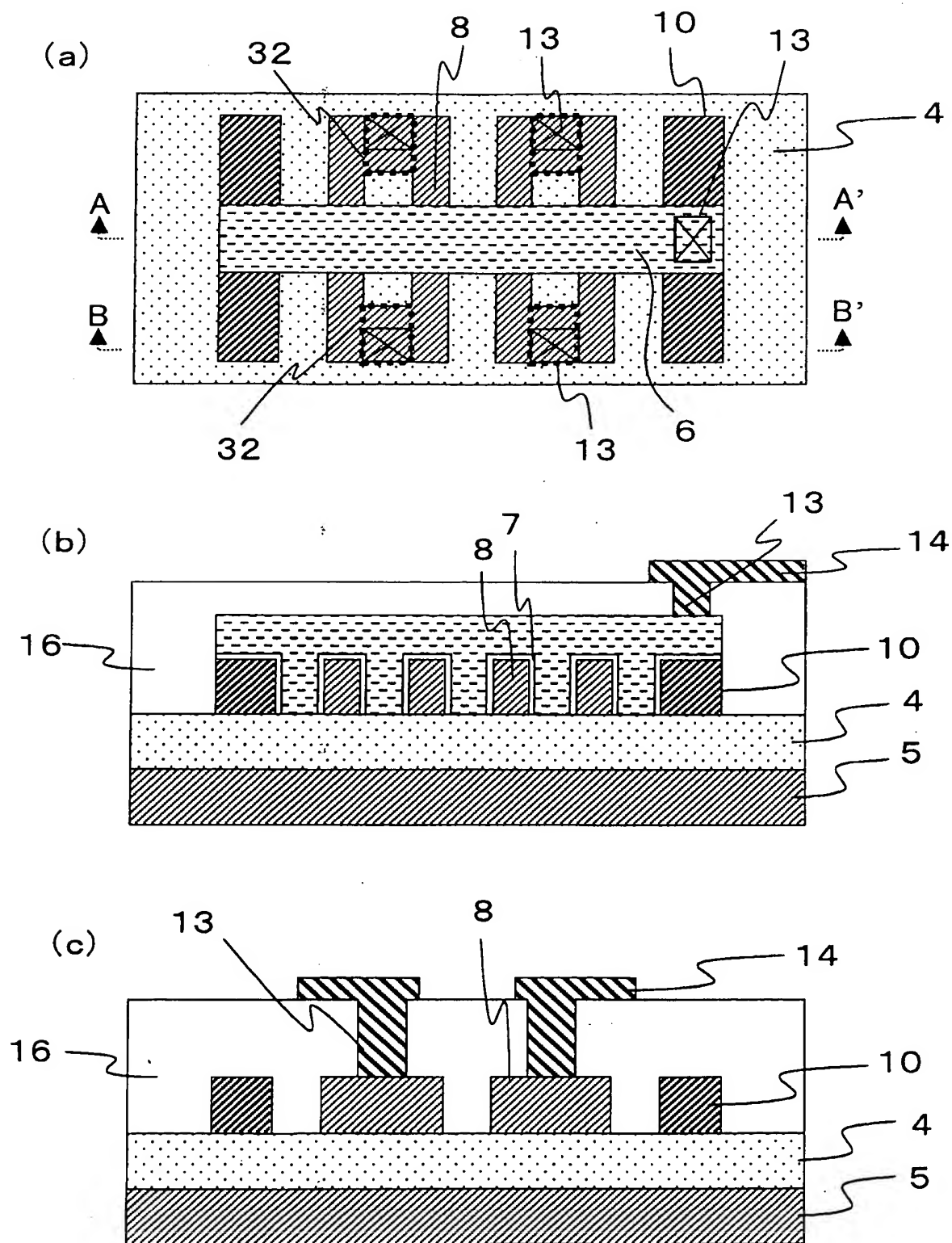
[図14]



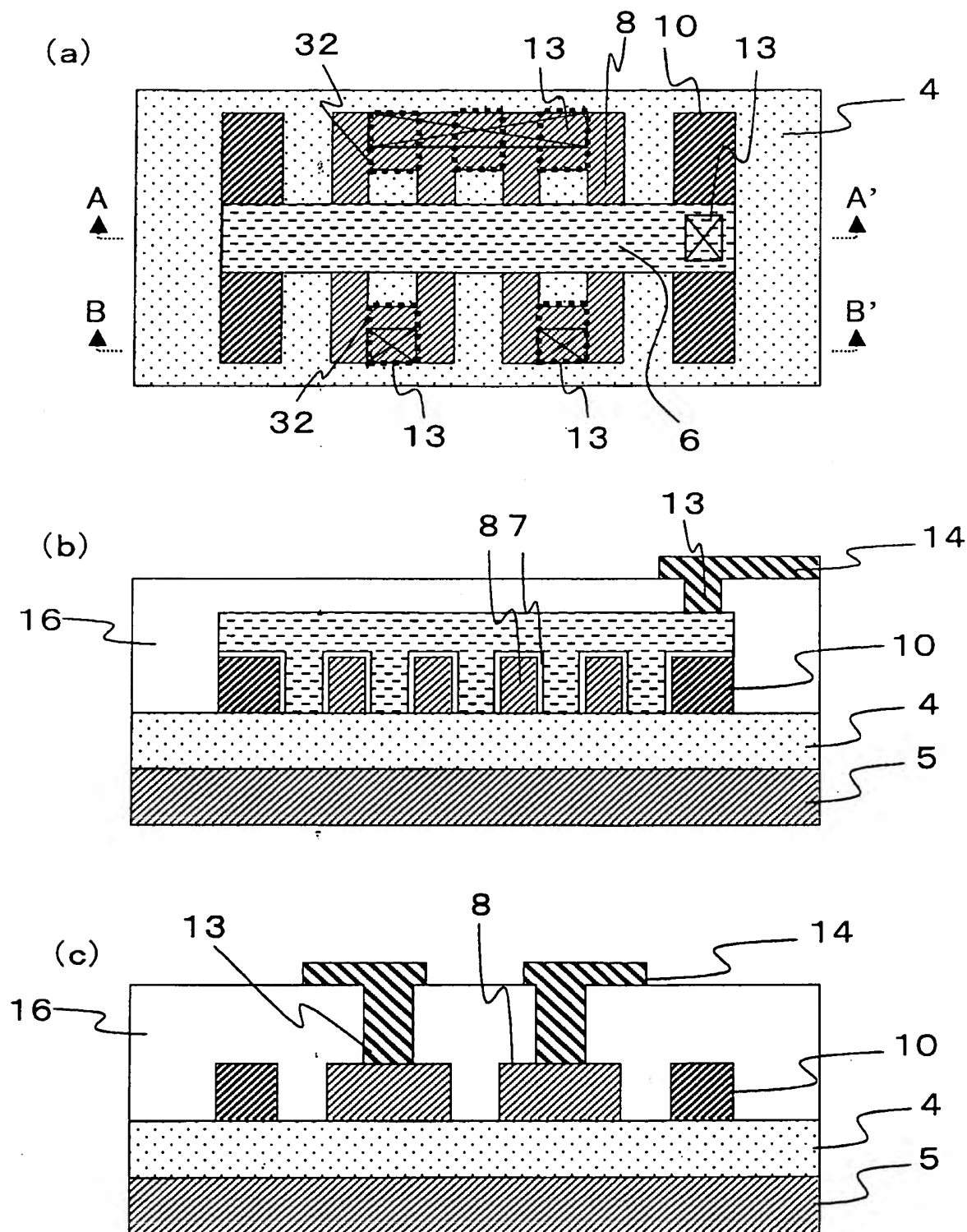
[図15]



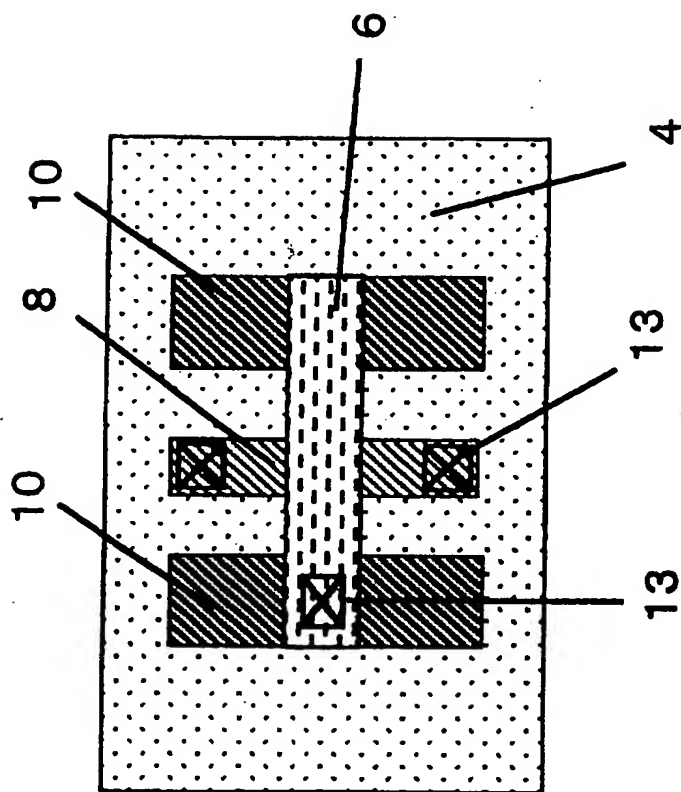
[図16]



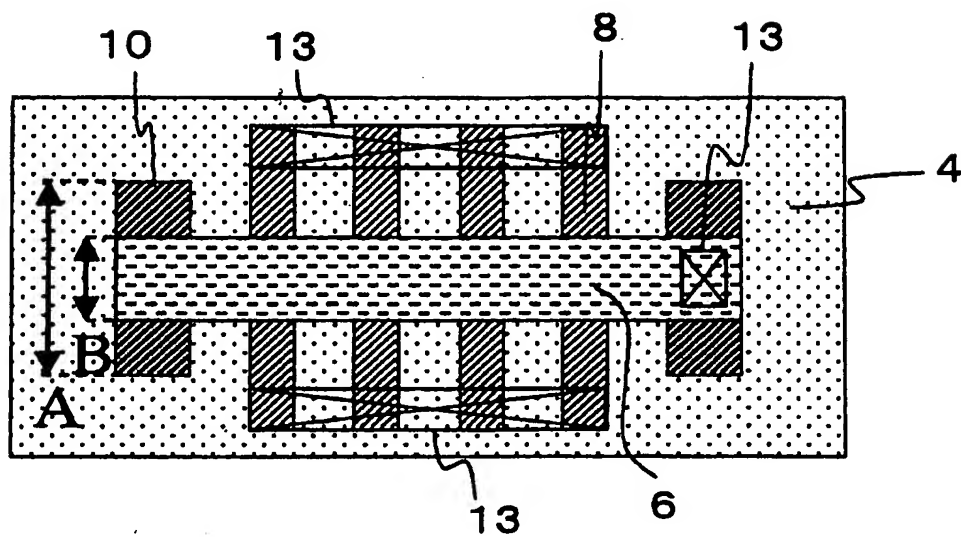
[図17]



[図18]

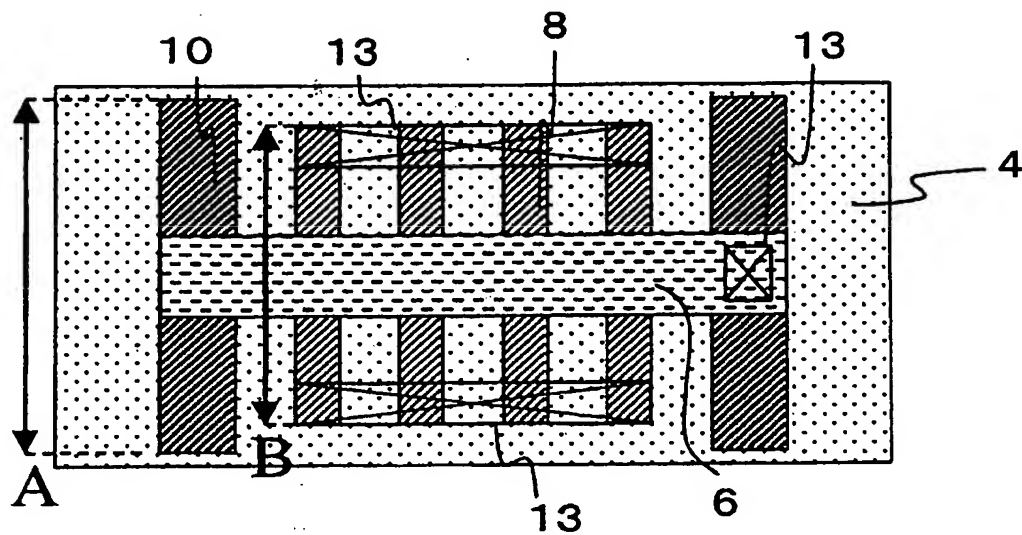


[図19]



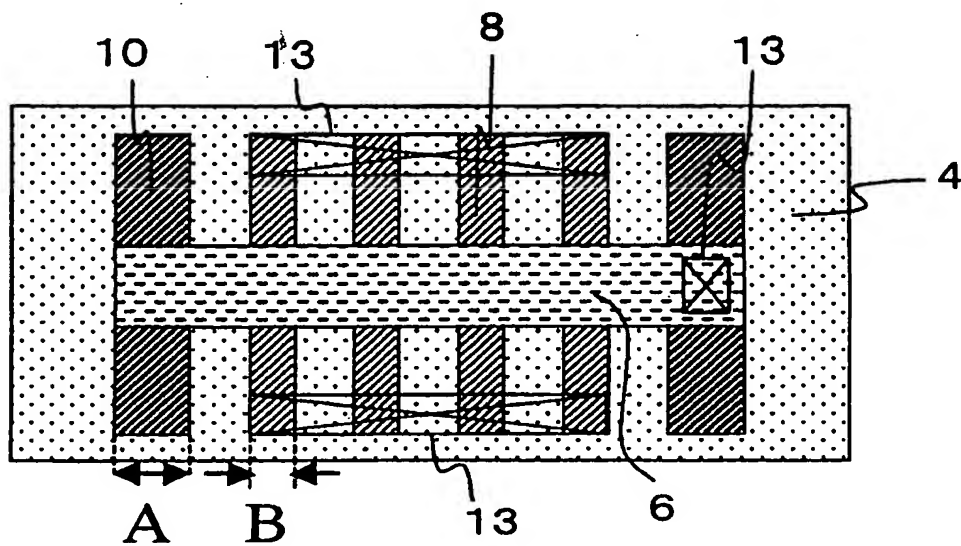
$A > B$

[図20]



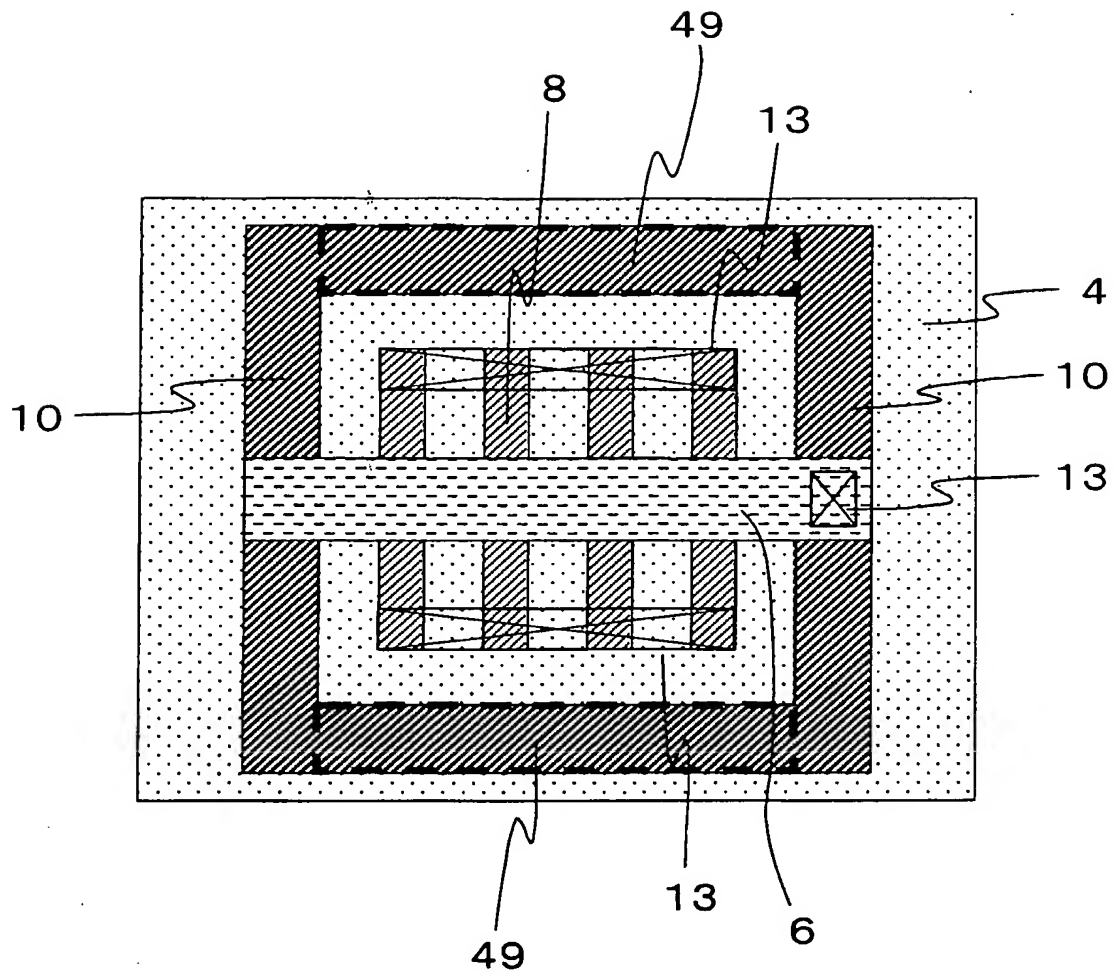
$$A > B$$

[図21]

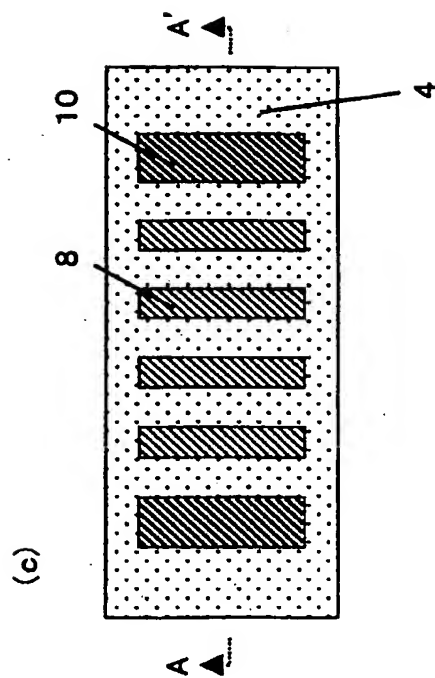
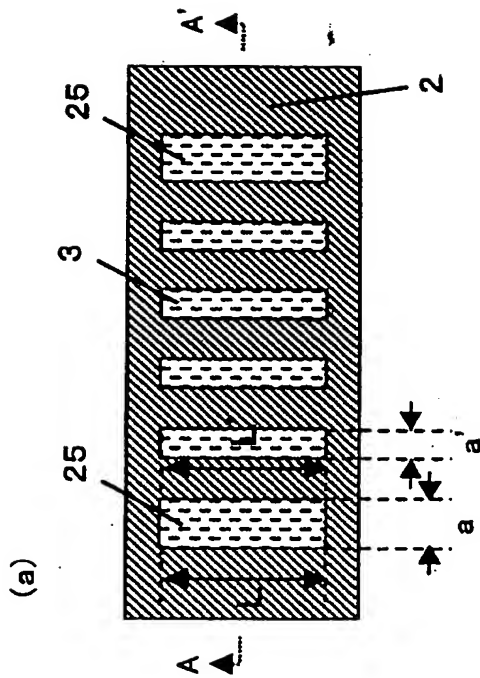
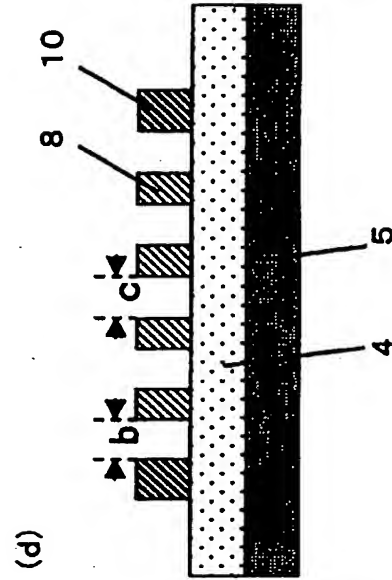
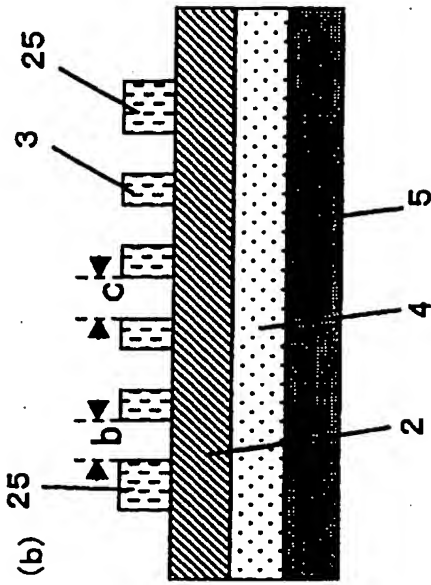


$$A > B$$

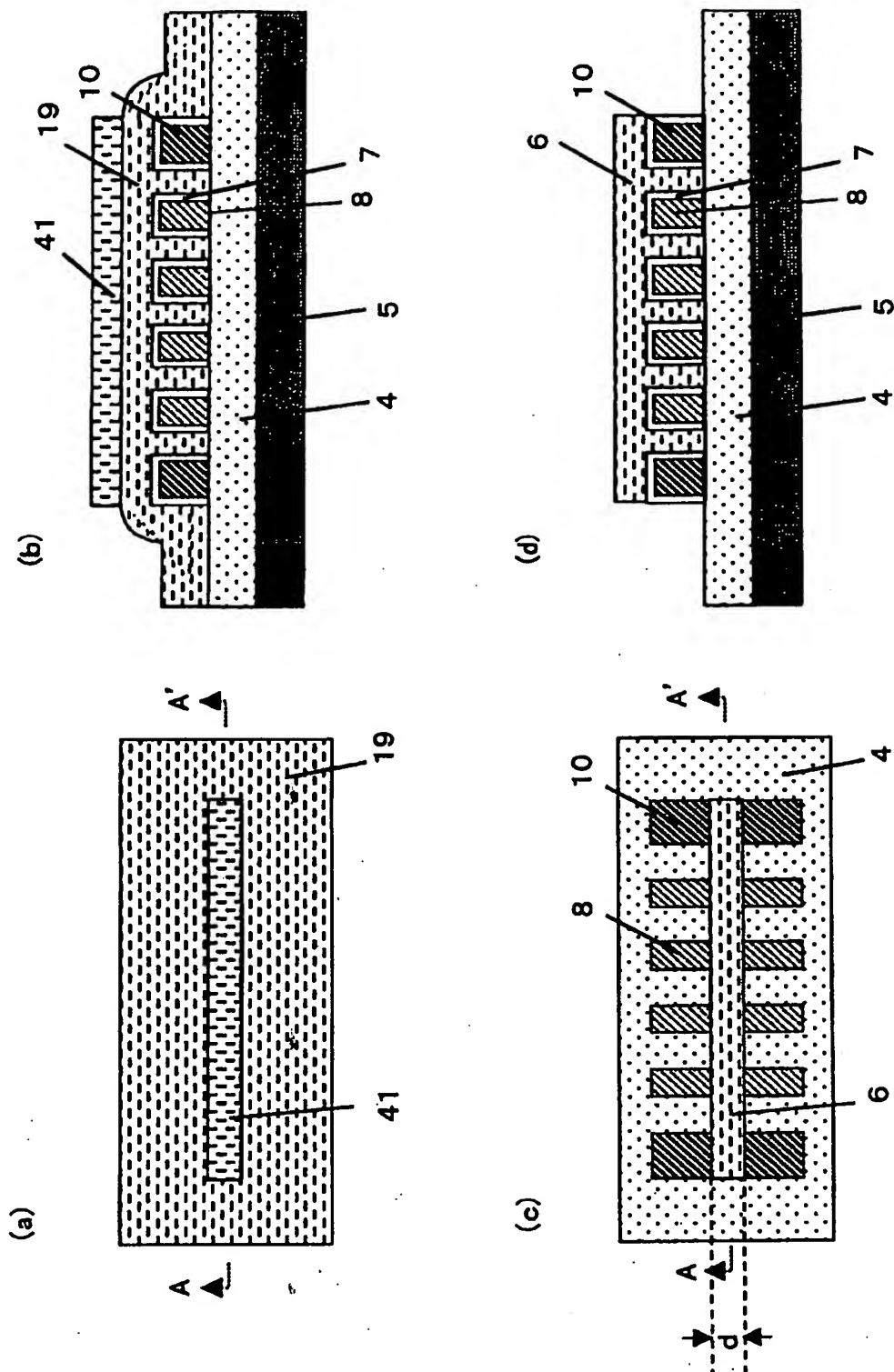
[図22]



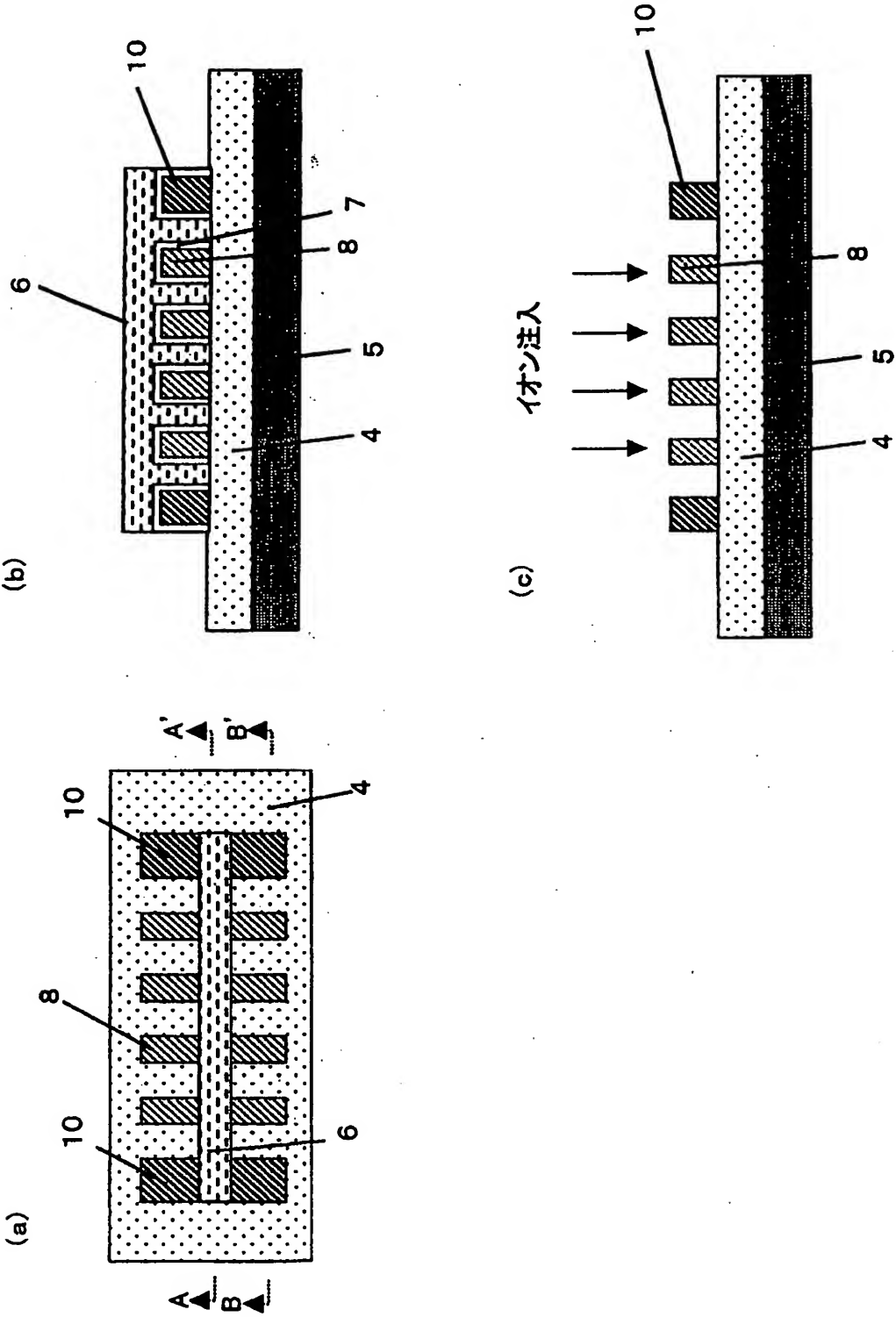
[図23]



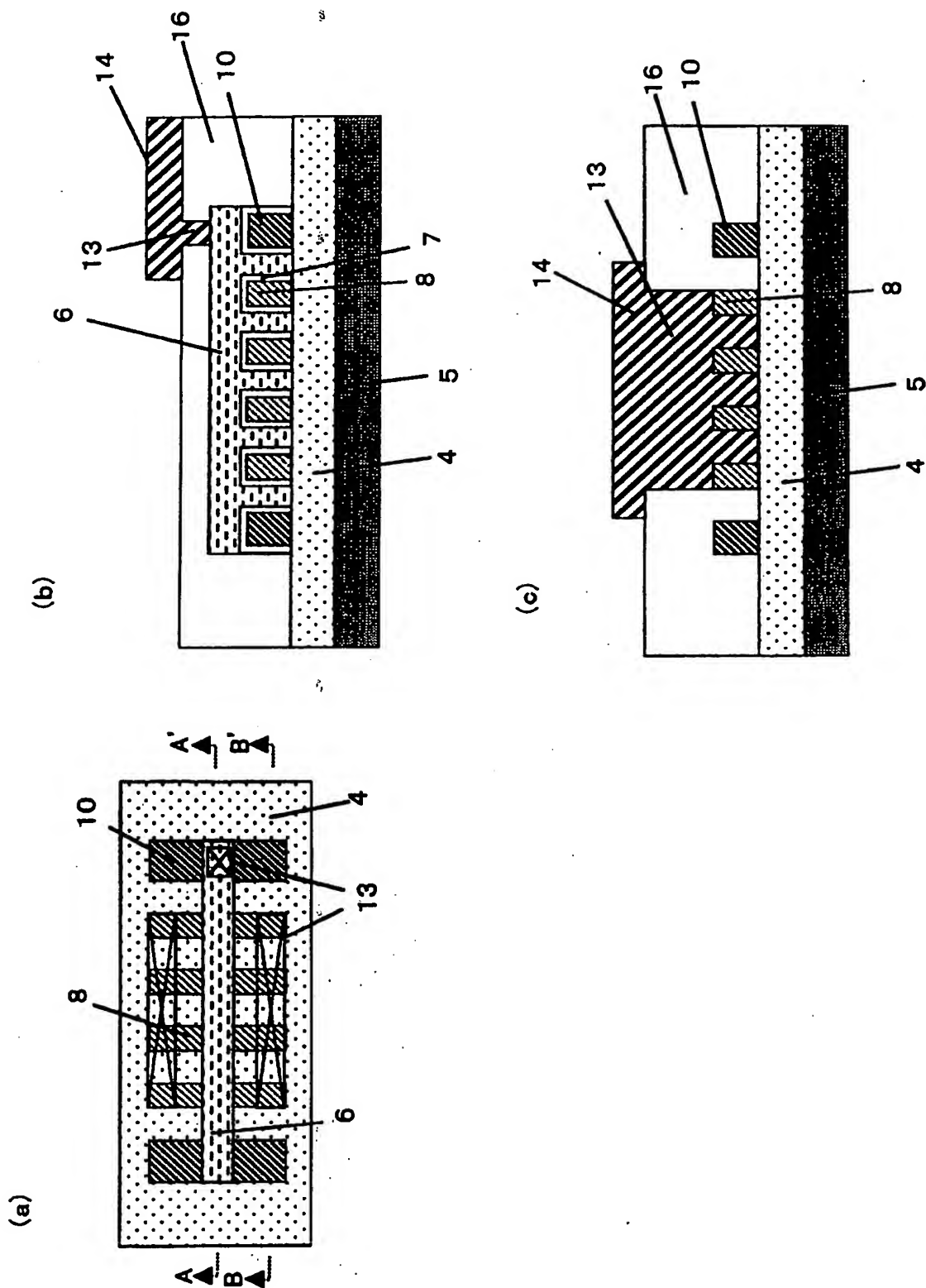
[図24]



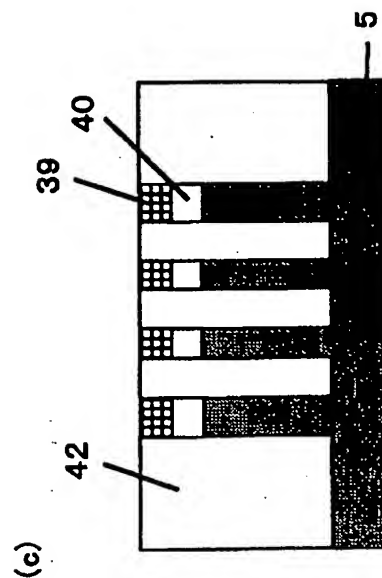
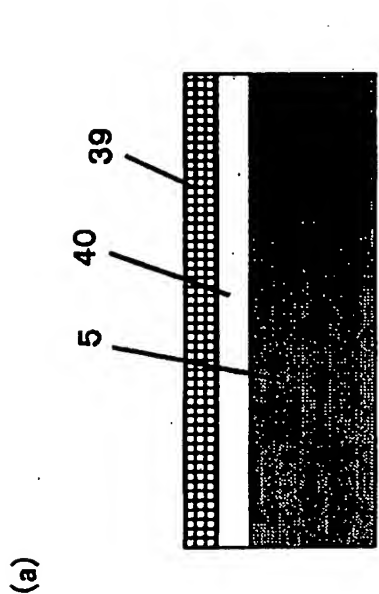
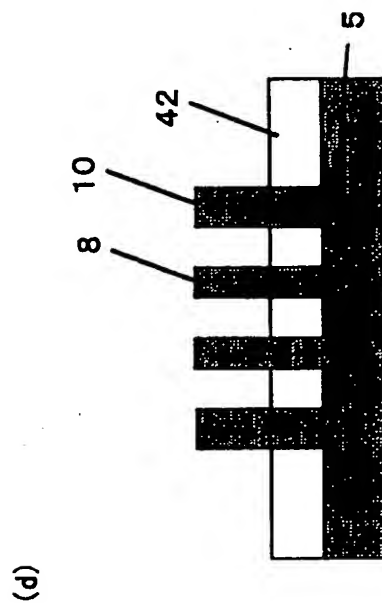
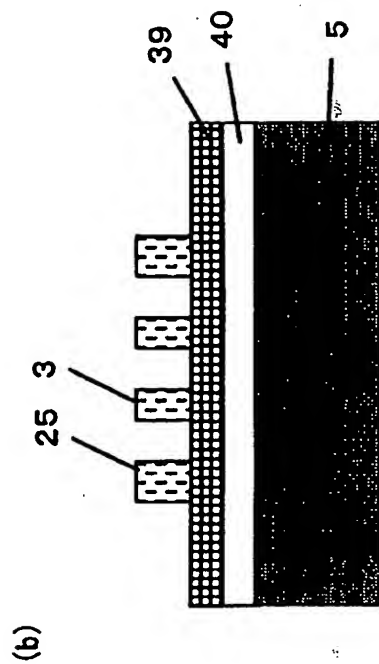
[図25]



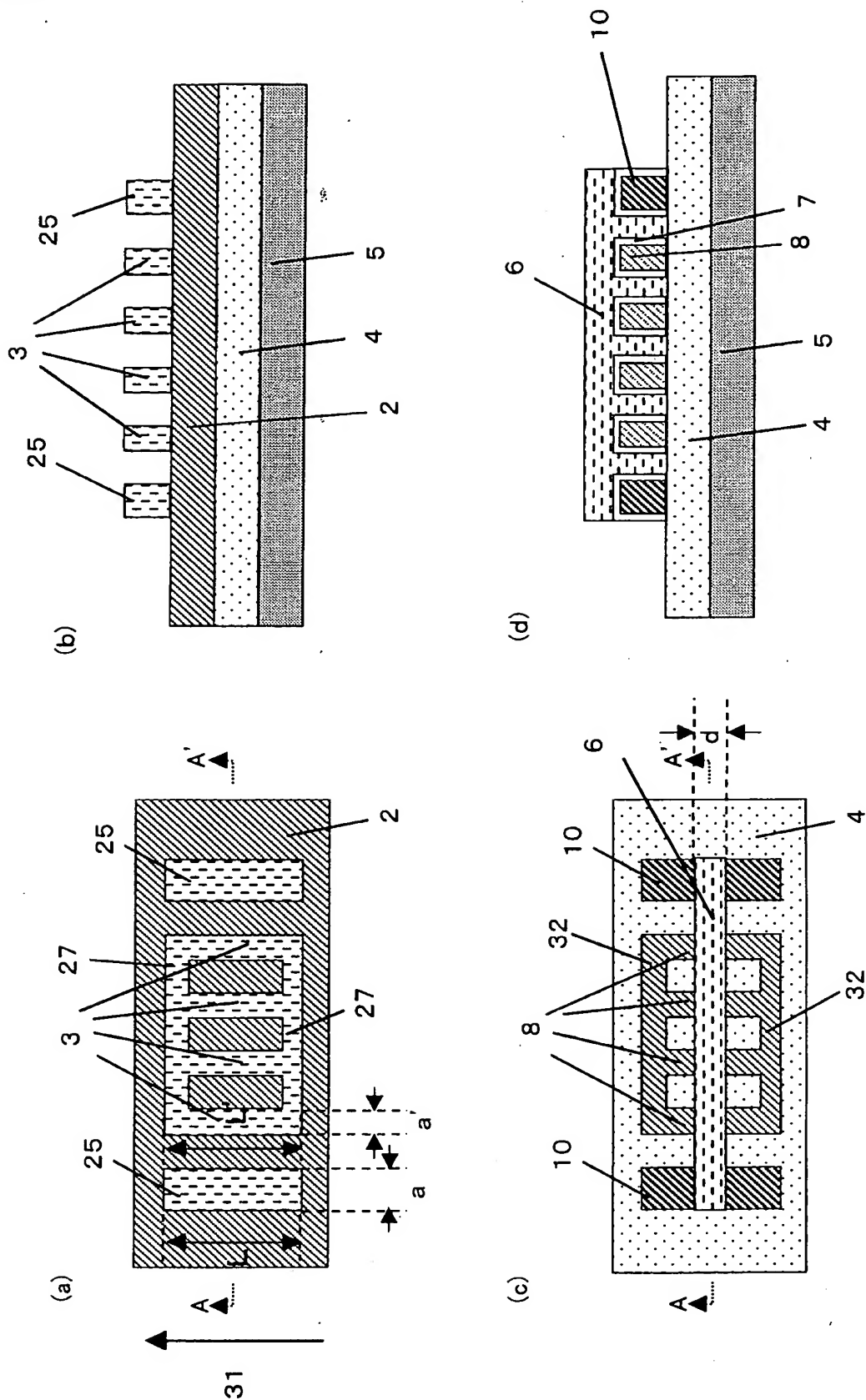
[図26]



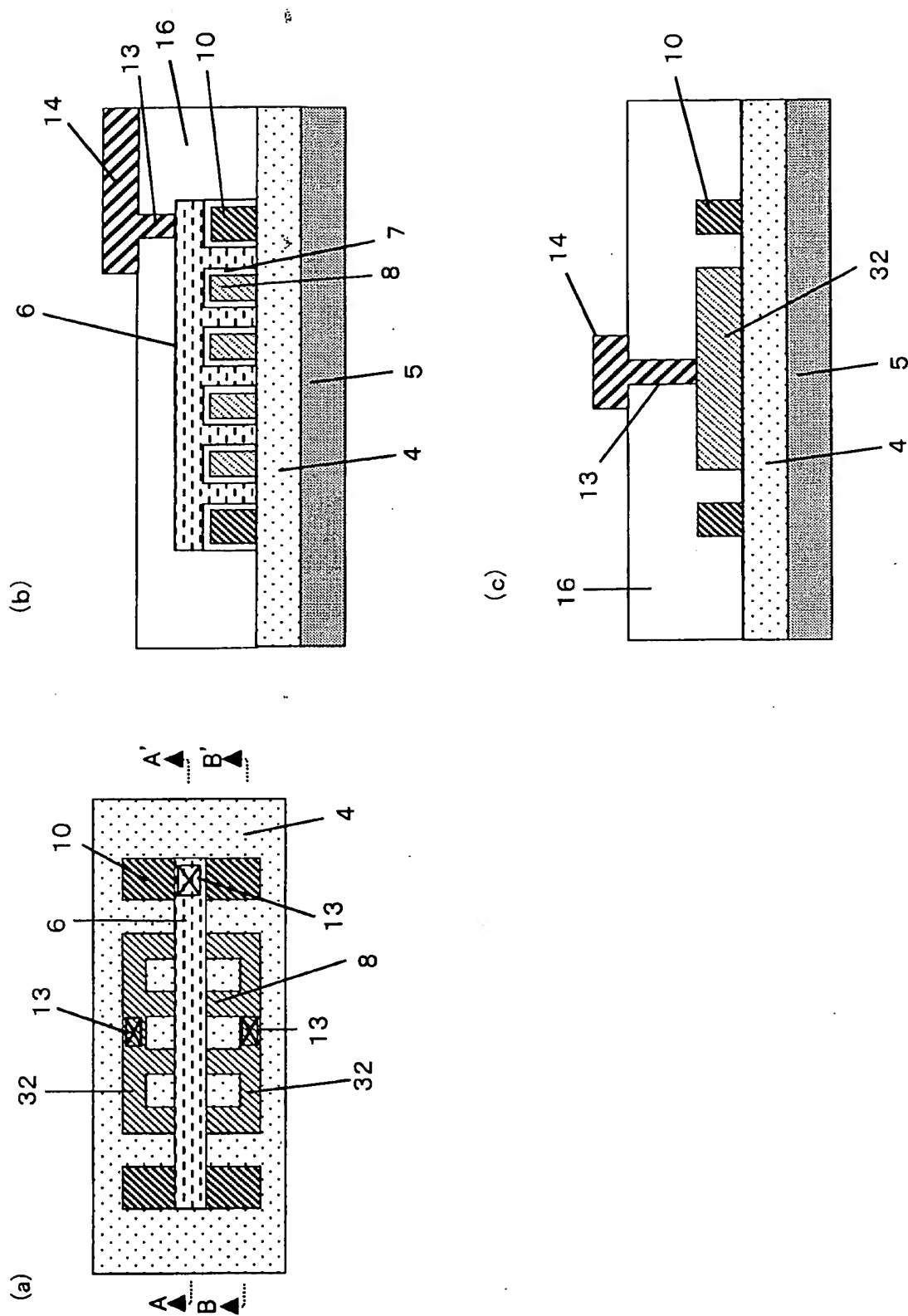
[図27]



[図28]

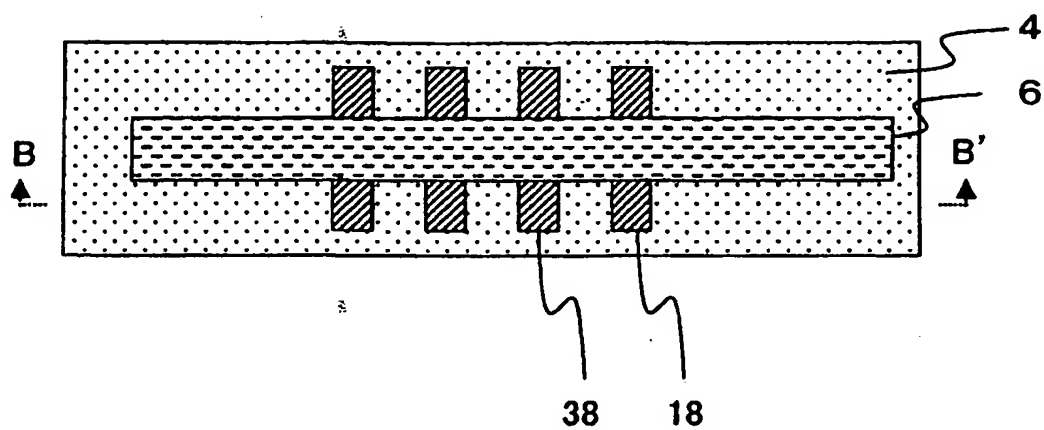


[図29]

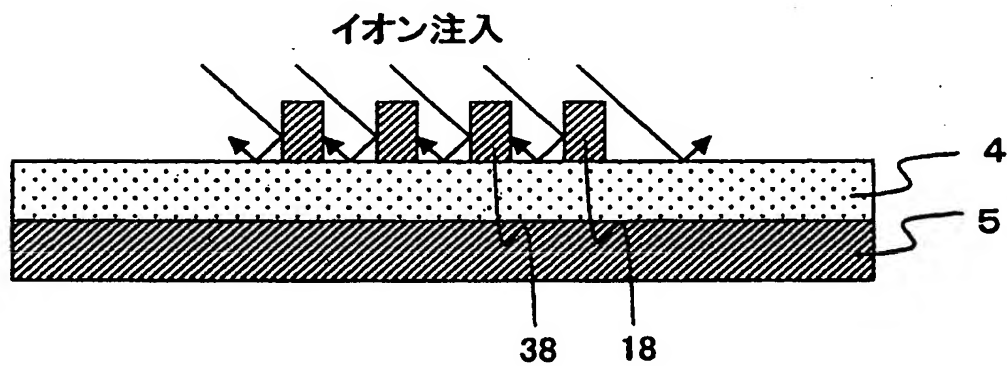


[図30]

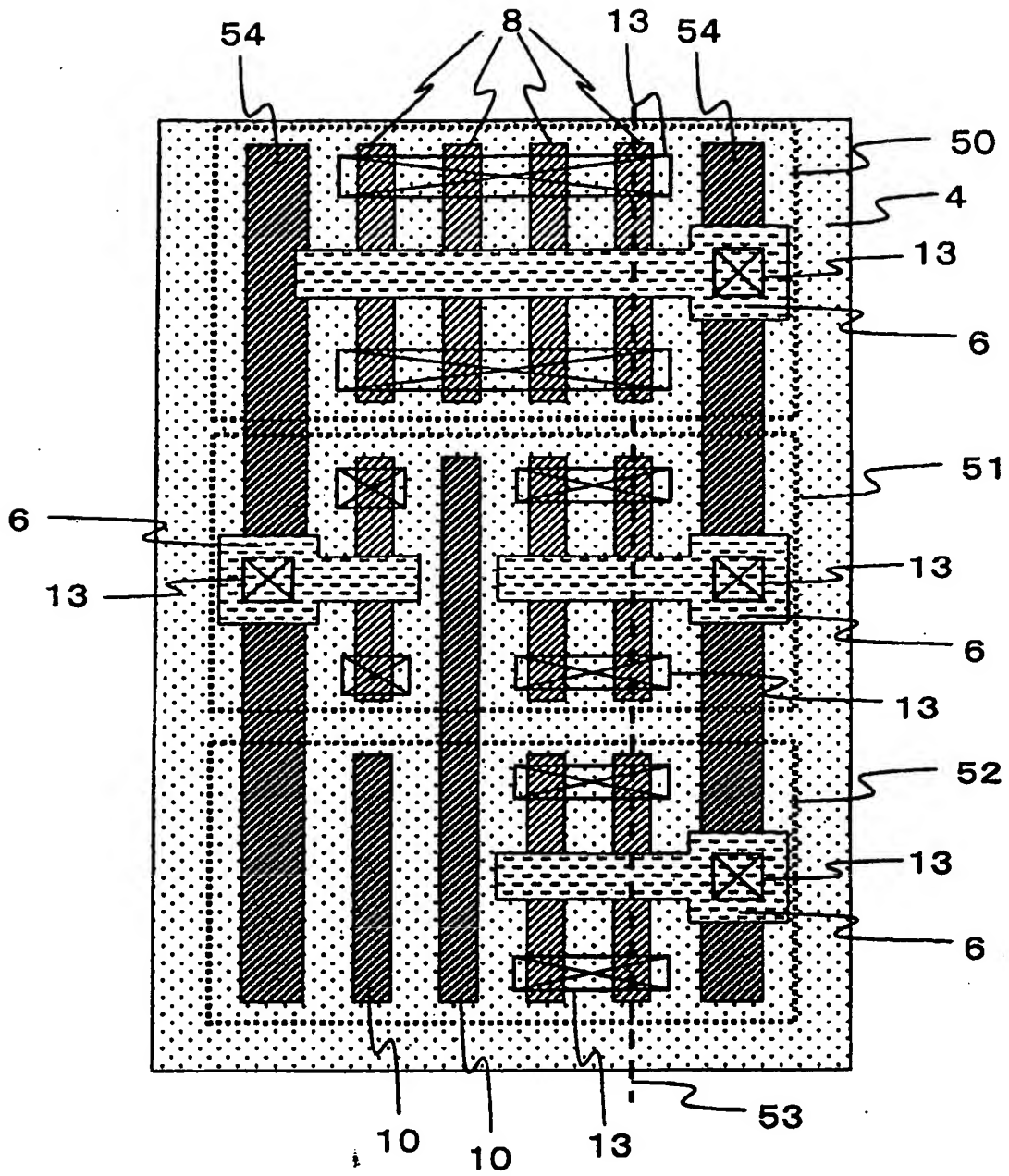
(a)



(b)



[図31]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005137

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H01L29/786, 21/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H01L29/786, 21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005  
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-298194 A (NEC Corp.), 26 October, 2001 (26.10.01), Par. No. [0116]; Fig. 41	1-6, 8-11, 13-17, 19-23, 25-28, 30-37 12, 24
Y	Par. No. [0116]; Fig. 41	12, 24
A	Full text; all drawings (Family: none)	7, 18, 29, 38
Y	JP 8-181323 A (NEC Corp.), 12 July, 1996 (12.07.96), Full text; all drawings (Family: none)	12, 24

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
14 June, 2005 (14.06.05)

Date of mailing of the international search report  
05 July, 2005 (05.07.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005137

<Regarding Coverage of Search>

The "second semiconductor region" of this application is narrowly interpreted as a semiconductor layer where no channel current flows as set forth in paragraph [0026] of the description, and this international search report is made basing on this narrow interpretation.